

存储测试机专题：
AI算力催生HBM带动测试机新需求，
国产设备商加速突破

首席证券分析师：周尔双
执业证书编号：S0600515110002
zhouersh@dwzq.com.cn

证券分析师：李文意
执业证书编号：S0600524080005
liwenyi@dwzq.com.cn

2026年7月2日

- **存储持续涨价&两存上市在即，看好存储未来扩产持续性。** 自2024年底以来，在AI算力需求拉动下，DRAM与NAND Flash现货价格均进入快速上行通道，DDR4（8Gb）2024年底到2026年6月涨幅超17倍，DDR5（16Gb）2025年11月至2026年6月底涨幅约4.9倍。长鑫存储2025年营收618亿元，2026Q1营收同比+719%，产能利用率长期维持90%以上，资本开支持续高位。中国头部存储厂商与国际龙头产能差距显著，后续扩产空间广阔。
- **AI算力催生HBM需求，HBM成为AI芯片主流方案。** AI服务器出货量2023-2025年接近翻倍，Trendforce预计2026年达275万台。HBM凭借高带宽、低延迟、低功耗优势成为应对内存墙的核心技术，在AI服务器BOM中价值量占比快速提升。2025年HBM市场基本由SK海力士（占据市场份额58.3%）、三星和美光占据，海外龙头已陆续实现HBM4量产，国内长鑫存储预计2027年实现HBM3e量产。
- **HBM堆叠对测试机提出KGSD等新需求，存储测试机需求量价齐升。** HBM采用3D堆叠架构，测试重心前移至KGSD测试环节，测试道数由传统DRAM的3-4道提升至15道以上，存储测试机需求约为传统DRAM的5-6倍。HBM对测试设备在供电能力、时序精度、高并行测试能力及测试算法等方面均提出更高要求。
- **存储测试机国产化率极低，国产替代空间广阔。** 存储测试机市场2025年由爱德万（占据市场份额61%）和泰瑞达（占据市场份额24%）主导，国内国产化率仅8-10%，显著低于其他测试设备细分赛道，是半导体设备自主可控的重要短板。地缘政治环境复杂化背景下，国产替代逻辑强化，国内厂商正加速布局。
- **投资建议：**重点推荐国内存储测试机领先布局厂商，重点推荐【长川科技】、建议关注【精智达】、【联讯仪器】、【悦芯科技（未上市）】。
- **风险提示：**封测设备需求不及预期、技术研发不及预期、行业竞争加剧。



■ 一、存储持续涨价&两存上市在即，看好存储未来扩产持续性

■ 二、AI算力催生HBM芯片需求，多采用堆叠技术提升容量和带宽

■ 三、HBM堆叠对测试机提出KGSD等新需求，国产测试机厂商迎来黄金机遇期

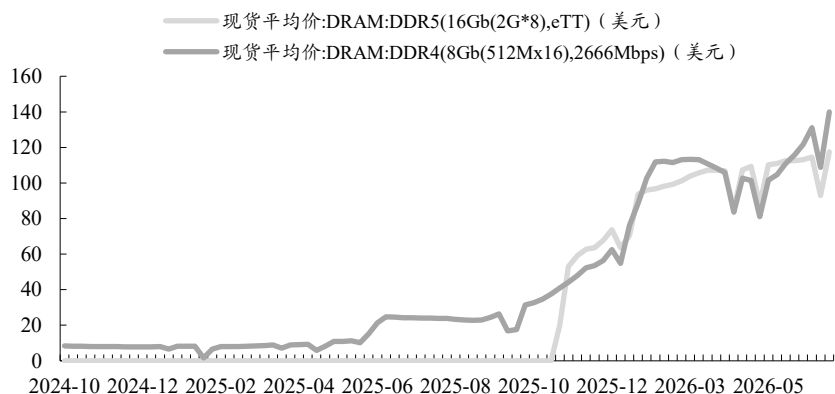
■ 四、投资建议

■ 五、风险提示

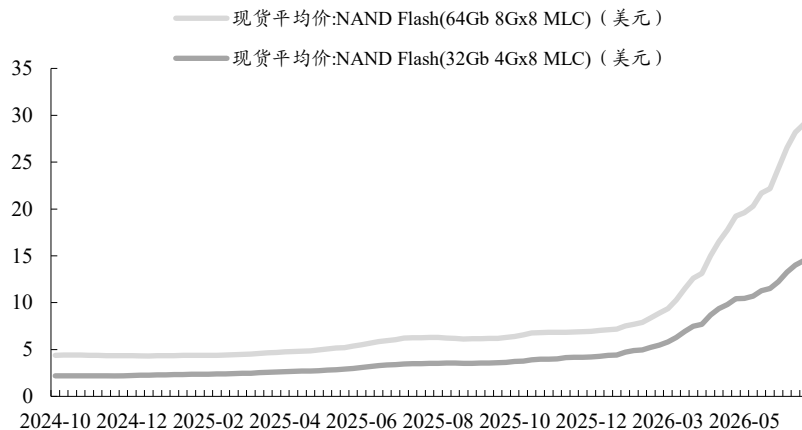
1.1 存储持续涨价&两存上市在即，看好存储未来扩产持续性

- 自2024年底以来，在AI大模型训练与推理算力需求爆发、全球数据中心服务器大规模扩容的强劲拉动下，存储芯片供需格局持续趋紧，DRAM与NAND Flash现货价格均进入快速上行通道。其中，DRAM涨幅尤为显著，DDR4（8Gb 2666Mbps）现货均价由2024年底的约8.1美元飙升至2026年6月底约140美元，涨幅超过17倍；DDR5（16Gb）自2025年11月产生现货报价以来，价格由20美元快速上涨至2026年6月底的117.5美元，涨幅约4.9倍，新一代高速内存正加速渗透AI服务器市场，成为算力扩容的核心瓶颈。NAND Flash同样呈现强势反弹，64Gb MLC现货价由2024年底的约4.3美元回升至2026年6月的约28.2美元，涨幅约6.5倍；32Gb MLC同期由约2.3美元上涨至14美元，涨幅约6.2倍。整体来看，随着AI算力基础设施建设方兴未艾，服务器对高带宽、大容量存储的依赖度显著提升，存储芯片作为算力核心组件，涨价逻辑有望延续。

◆ 图：DDR4(8G)价格自2024年底以来涨幅超17倍



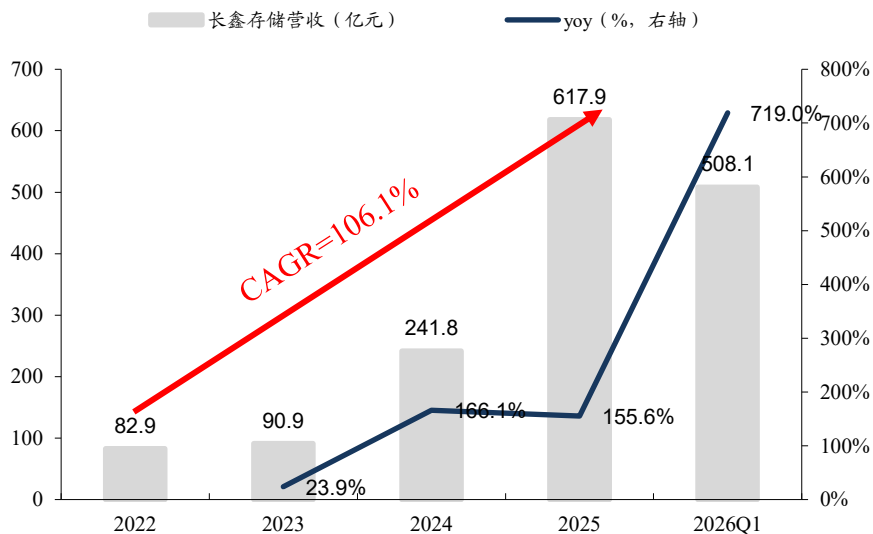
◆ 图：NAND Flash价格自2024年底以来涨幅超6倍



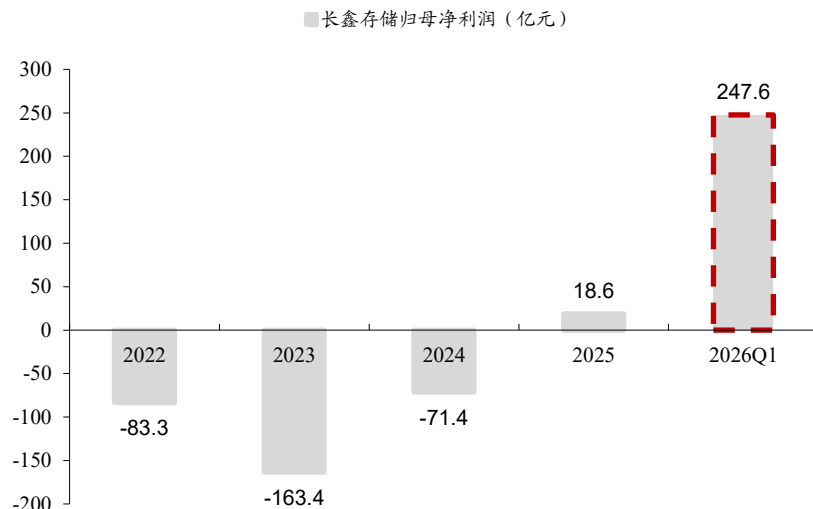
1.1 存储持续涨价&两存上市在即，看好存储未来扩产持续性

- 长鑫存储营收持续扩大，根据公司招股说明书，2025年实现营收618亿元。随着产品品类增多&先进产品放量，长鑫存储2022-2025营收CAGR超100%，2026Q1营收508.1亿元，同比增长719%，环比增长23%。长鑫预计2026H1营收1100至1200亿元，预计同比增长约613%至677%，预计归母净利润500至570亿元，预计同比增长2244%至2544%。
- 先进产品突破&工艺提升&存储涨价带动长鑫业绩反转。随着公司工艺稳定、高毛利先进产品批量出货公司2025年实现扭亏为盈，2026Q1归母净利润大幅提升至近250亿元。

◆ 图：长鑫2025年/2026Q1营收分别同比+156%/719%



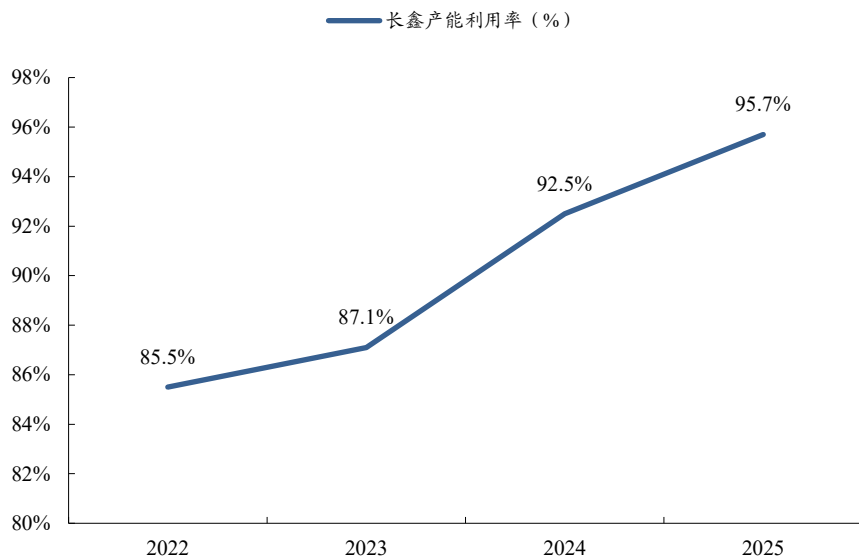
◆ 图：长鑫先进产品突破&工艺提升&存储涨价带动业绩反转，盈利跨越式增长



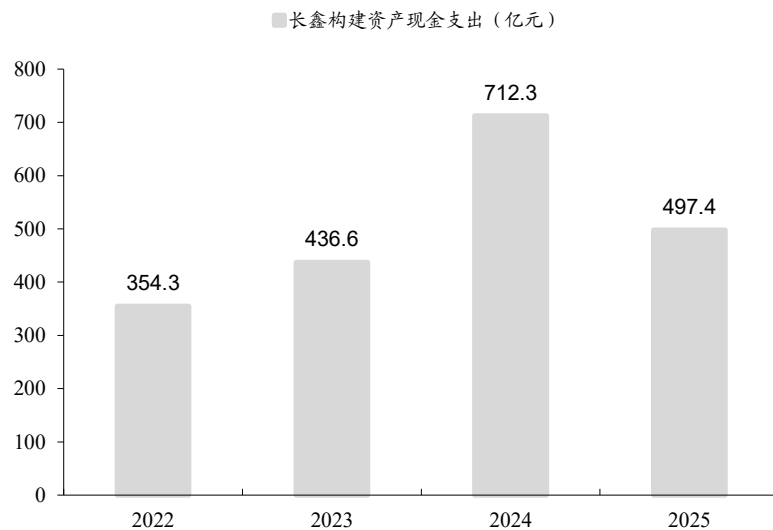
1.1 存储持续涨价&两存上市在即，看好存储未来扩产持续性

- **长鑫产能利用率长期维持高位，2025产能利用率达95.7%。**2024年以来长鑫产能利用率维持超90%，2025产能利用率达95.7%，反映出下游需求持续旺盛，后续新建产能的落地节奏将成为关键。
- **长鑫资本开支持续维持高位。**长鑫持续扩产&加大先进产能建设，长鑫构建资产现金支出2024年/2025年分别达712.3/497.4亿元。2024年资本开支处于较高水平，主要对应新增产线设备投入；2025年资本开支有所回落，但仍处于行业较高水平，反映出公司产能扩张与技术升级仍在持续推进。

◆ 图：长鑫2025几乎达到满产，期间产能利用率95.7%



◆ 图：长鑫2025年构建资产现金支出497.4亿元



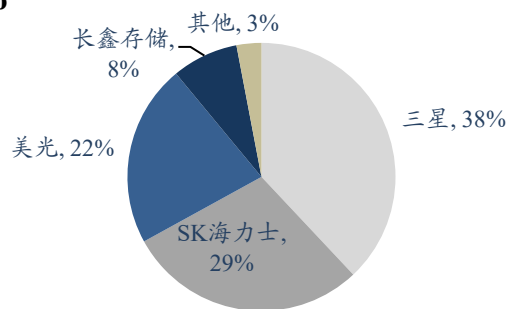
1.1 存储持续涨价&两存上市在即，看好存储未来扩产持续性

- 中国头部存储厂商与国际龙头在产能上仍存在显著差距，后续扩产空间广阔。（1）NAND 端：三星与Kioxia-SanDisk联合制造体系仍为全球前两大NAND产能平台。2026Q1两者12英寸月产能分别约37.5万片和40万片，而长江存储月产能仅约16万片，后续扩产空间广阔。（2）DRAM 端：2026Q1，三星、SK海力士、美光三家12英寸月产能分别为64万片、56.5万片和34.5万片；长鑫存储现有月产能约29万片，仍具备显著扩产余地。长江存储&长鑫存储2026Q1全球NAND/DRAM存储器市占率分别仅为13%/8%，后续仍待突破。

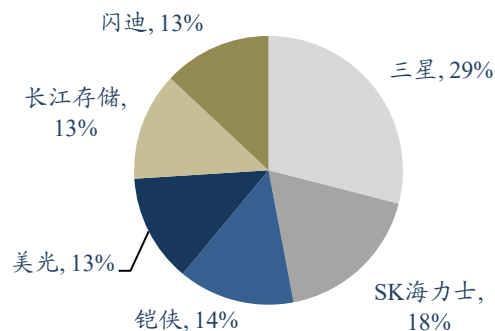
◆ 图：中国头部存储厂商与国际头部仍有较大产能差距

NAND								
12-inch (千片晶圆/月)	1Q25	2Q25	3Q25	4Q25	1Q26	2Q26E	3Q26F	4Q26F
Samsung	450	410	401	400	375	365	340	310
Kioxia/WDC/SanDisk	400	400	400	400	400	405	418	418
SK hynix	145	145	145	145	140	140	140	135
Solidigm	85	85	85	95	95	95	95	95
Micron	130	130	130	130	130	130	130	130
长江存储	140	140	150	160	160	170	200	200
其他	28	28	30	35	37	37	41	41
12英寸总产能	1,378	1,338	1,341	1,365	1,337	1,342	1,364	1,329
DRAM								
12-inch (千片晶圆/月)	1Q25	2Q25	3Q25	4Q25	1Q26	2Q26E	3Q26F	4Q26F
Samsung	645	645	655	650	640	670	710	740
SK hynix	500	515	530	545	565	585	600	610
Micron	320	330	340	340	345	360	365	365
Nanya	53	56	60	62	63	65	65	65
长鑫存储	230	260	270	280	290	300	300	300
其他	74	80	88	89	92	94	95	101
12英寸总产能	1,822	1,886	1,943	1,966	1,995	2,074	2,135	2,181

◆ 图：2026Q1年长鑫存储DRAM全球市占率仅为8%









◆ 图：2026Q1年长江存储NAND全球市占率仅为13%



1.2 存储制程节点演进，带动设备投资额持续增长

- ◆ 龙头陆续实现先进制程的量产，后续进程有望加速。1) DRAM: SK海力士于2024年成功实现12层HBM3E的量产，并且其预计于2026年实现16层HBM4量产；2) NAND: 我国长江存储2021年已实现128层量产，目前已完成232层3D NAND的量产，正在向3XX-4XX层突破；3) 逻辑: 台积电早在2020年就实现5nm的量产，目前可以量产2nm级别量产。
- ◆ 存储持续迭代，有望带动高价值先进设备加速放量。2031年逻辑制程将迈入7A时代，并采用CFET技术，极大提升芯片性能与集成度；存储的NAND到2035年可实现2000层+，DRAM则由HBM4逐步升级，SK海力士预计2034年推出HBM6。

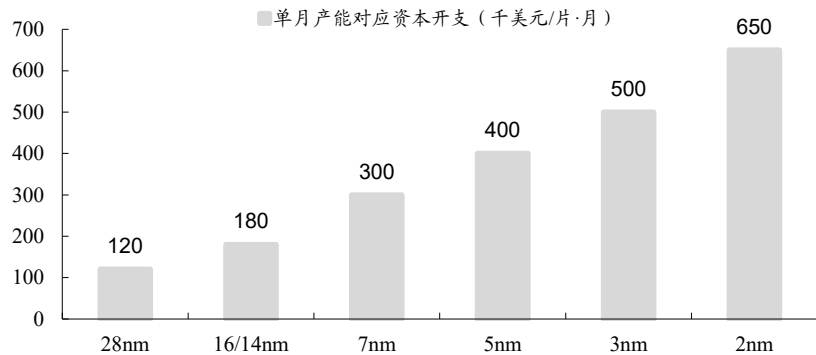
◆ 图：逻辑、NAND、DRAM领域工艺路线图

	2024	2025	2026	2027	2028	2029	2030	2031	2032	2033	2034	2035
逻辑	3nm, 2-1FinFET 	2nm, GAA NS 	14A-10A, GAA NS Scaling 			7A, CFET 			5A, 2 nd Gen. CFET 		3A, 3rd Gen. CFET 	
NAND	3xxL		4xxL	5xxL		7xxL	1xxxL		*1yyyL	*1zzzL		*2xxxL
DRAM	HBM3E		HBM4		HBM4E		HBM5		HBM5E		HBM6	

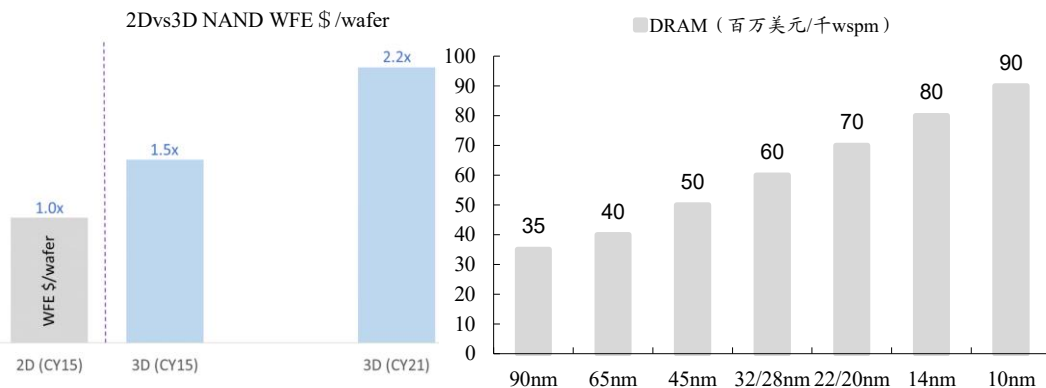
1.2 存储制程节点演进，带动设备投资额持续增长

- ◆ 在相同产能下，集成电路设备投资量随制程节点先进程度提升而大幅增长。当技术节点向5nm甚至更小的方向升级时，集成电路的制造需要采用昂贵的极紫外光刻机（EUV），或多重模版工艺（重复多次刻蚀及薄膜沉积工序以实现更小的线宽），需要投入更多且先进的光刻机、刻蚀设备和薄膜沉积设备，带动投资规模提升。
- ◆ **（1）逻辑：**以3nm技术节点为例，每单位产能的建设需要约50万美元的资本开支投入，是14nm的两倍以上，28nm的3.5倍左右。**（2）存储：**DRAM方面,当DRAM制程达到10nm时，每千片晶圆月产能的设备投资额上升至9000万美元。NAND方面,以2015年2D NAND设备投资额为基准，2015年3D NAND设备投资额为其1.5倍，2021年3D NAND设备投资额为其2.2倍。

◆ 图：5nm逻辑制程设备投资额约是28nm的3.5倍



◆ 图：随着制程迭代，NAND与DRAM设备投资额逐步上升





■ 一、存储持续涨价&两存上市在即，看好存储未来扩产持续性

■ 二、AI算力催生HBM芯片需求，多采用堆叠技术提升容量和带宽

■ 三、HBM堆叠对测试机提出KGSD等新需求，国产测试机厂商迎来黄金机遇期

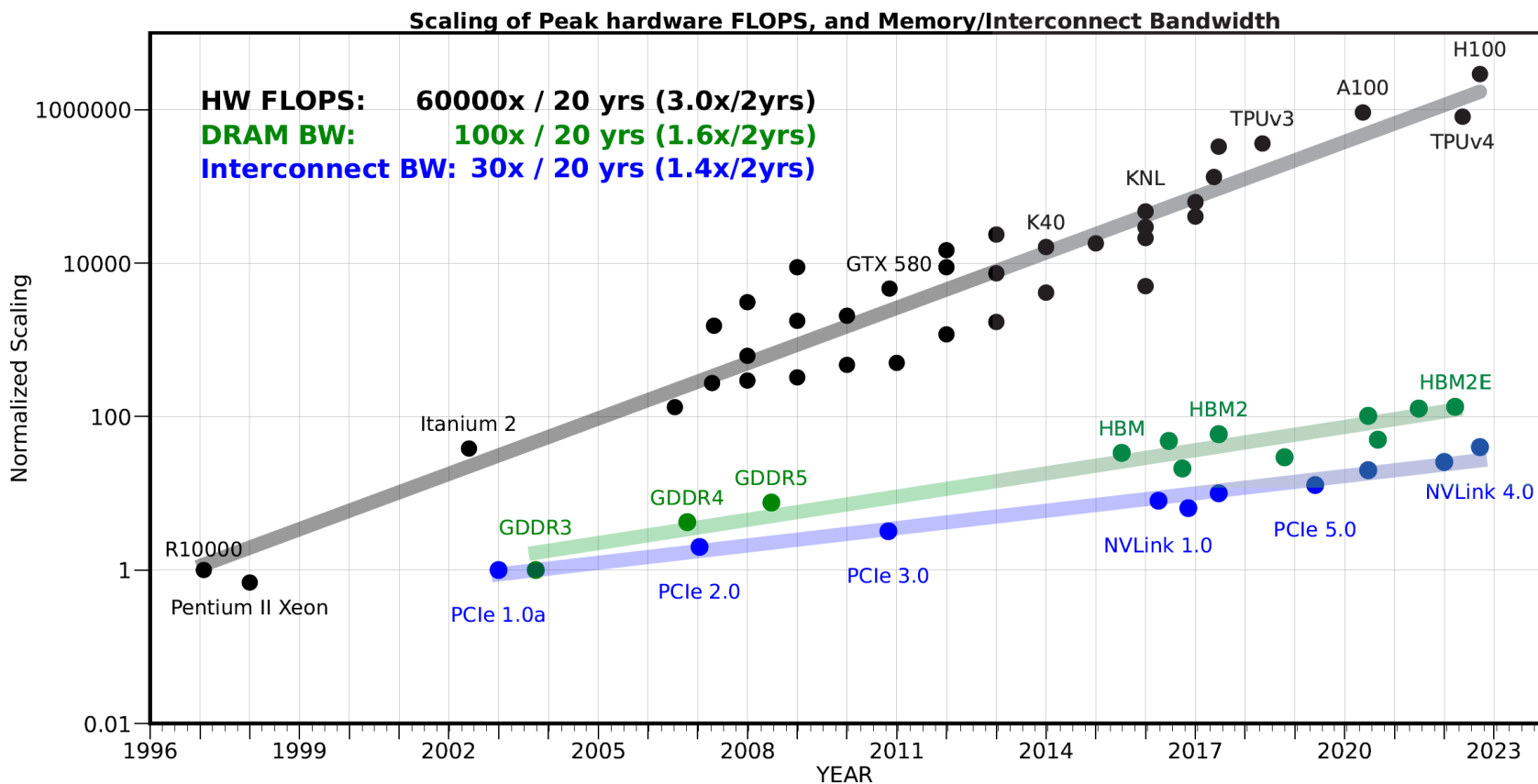
■ 四、投资建议

■ 五、风险提示

2.1 AI应用及内存墙问题大幅提振对高带宽存储HBM的需求

- 内存墙问题包括内存容量有限、内存传输带宽不足及传输延迟问题。计算逻辑与片上内存之间、计算逻辑与DRAM内存之间、不同sockets上不同处理器之间都存在同样的问题。对于单个芯片，芯片内寄存器、二级缓存、全局存储器等之间的内存传输成为瓶颈。当模型超过了单芯片可用的内存容量和带宽，需要利用分布式内存并行技术将训练/服务扩展到多个加速器。由于片间带宽小于片内带宽，此时会面临更严重的内存墙问题。

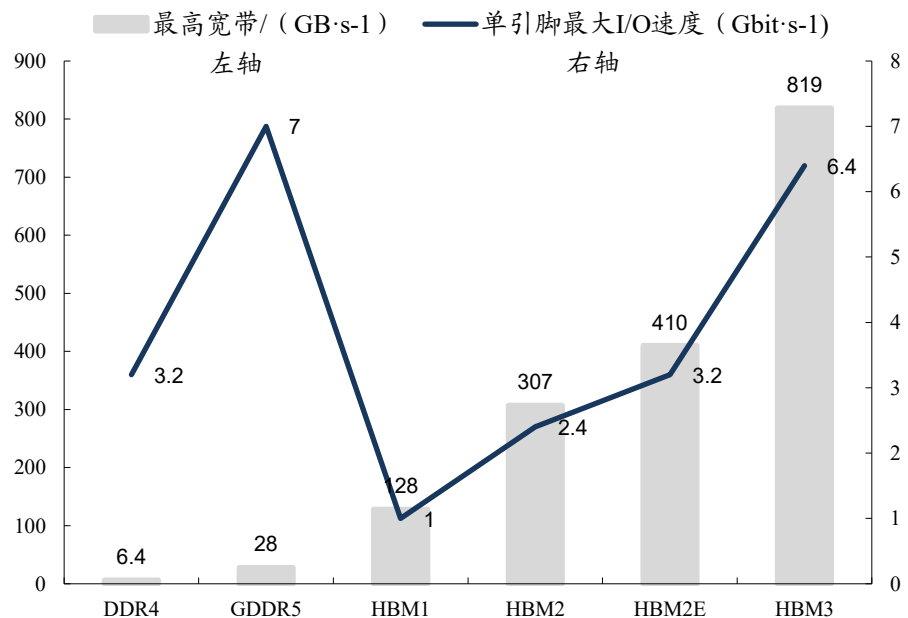
◆ 图：DRAM与互联带宽增速远低于服务器硬件算力增速



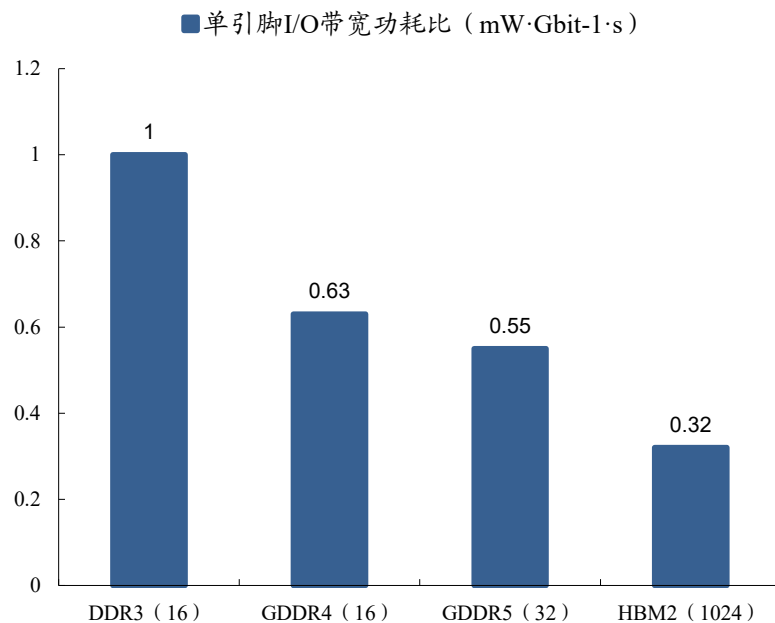
2.1 AI应用及内存墙问题大幅提振对高带宽存储HBM的需求

- **AI训练与推理急需高带宽存储芯片。**高带宽是复杂AI/ML算法的基本需求，同时端侧AI推理更重视计算效率、时延、性价比等。以ADAS为例，L2+/L3级别的复杂数据处理需要超过200GB/s的内存带宽；L5级的高阶自动驾驶要能够独立地对周围动态环境做出反应，需要超过500GB/s的内存带宽。单纯依靠堆砌额外数量的GPU和AI加速器，很难在成本、功耗、系统架构等方面获得竞争优势，**AI应用端更需要高带宽内存来解决内存墙。**
- **HBM具备高带宽、低延迟、低功耗等优势。**高带宽存储器（HBM）是一种采用三维堆叠和硅通孔（TSV）等技术的高性能DRAM，其核心优势在于采用微凸块技术缩短了DRAM和逻辑芯片之间的信号传输距离，同时通过增加存储多层堆栈的数量和位宽实现了更大的存储容量和更多的I/O引脚数量、降低了I/O工作电压并减少了信号线的数量和长度，因此具备高带宽、低延迟和低功耗等优势，是应对内存墙问题的核心技术。

◆ 图：HBM通过提升I/O引脚数量实现高带宽



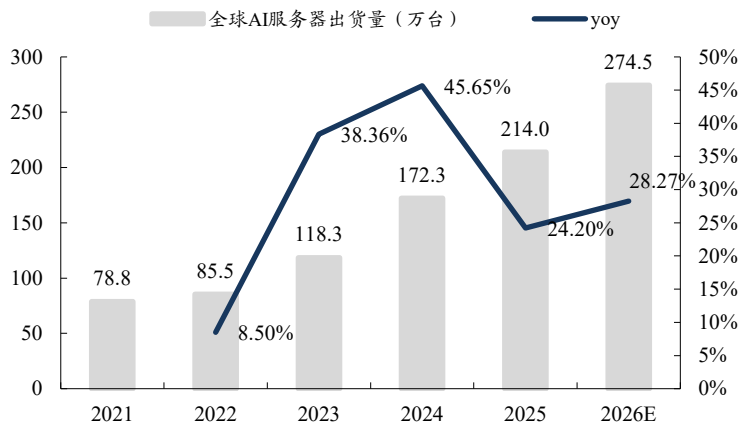
◆ 图：HBM以低单引脚I/O速度实现低功耗



2.1 AI应用及内存墙问题大幅提振对高带宽存储HBM的需求

- **AI服务器出货量爆发式增长，驱动存储需求扩张。**据Trendforce数据，2023年至2025年，AI服务器出货量由118.3万台增长至214万台，出货量接近翻倍；2026年Trendforce预计全球AI服务器出货量维持高增，预计达274.5万台，同比+28%。AI服务器是存储需求的核心载体，其出货量大幅增长意味着对存储需求的同步激增。
- **VR200成本约780万美元，GB300成本近400万美元，前者成本较后者近乎翻倍，核心变化在于内存价值量大幅提升。**从两款AI服务器的BOM对比来看，存储不仅是AI系统的核心组件，更是随着服务器迭代升级过程中成本增幅最大的环节。在GB300中内存仅占成本9.36%，而在VR200中已经占据成本的25%。内存的成本从约37.4万美元飙升至200万美元以上，涨幅高达惊人的435%，这一增速远超GPU（+57%）、CPU（0%）以及交换芯片（+122%）等关键算力部件。这种极端的成本膨胀直接反映了AI对海量数据吞吐和存储容量的需求，证明了在算力体系中，存储已不再仅仅是配套资源，而是制约性能突破并占据价值高地的绝对核心。

◆ 图：2023年以来全球AI服务器出货量快速增长



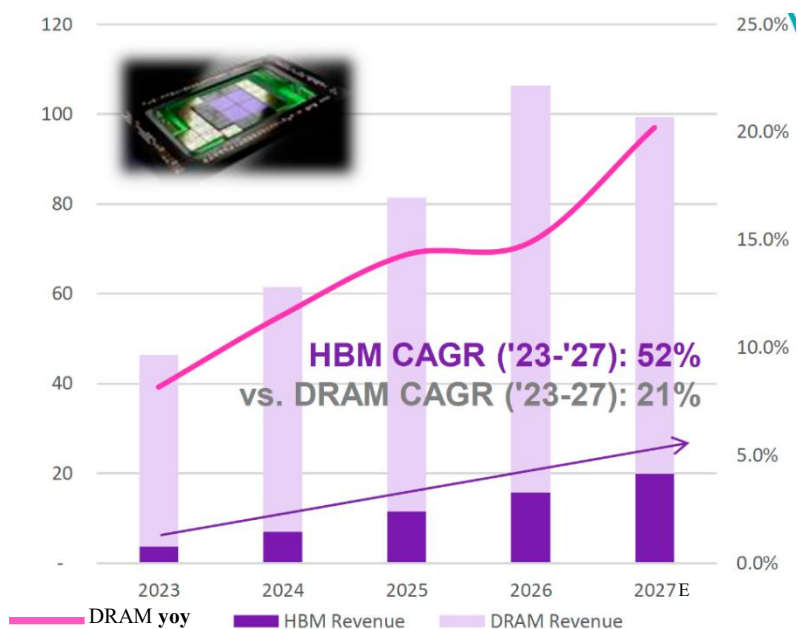
◆ 图：VR200和GB300的BOM对比

项目 Component	GB300 (USD)	GB300BOM占比	VR200 (USD)	vr200较gb300bom变化
GPU 图形处理器	\$2,520,000	63.09%	\$3,960,000	+57%
CPU 中央处理器	\$180,000	4.51%	\$180,000	0%
NVLink Switch chip 交换芯片	\$64,800	1.62%	\$144,000	+122%
Other networking chips 其他网络芯片	\$261,000	6.53%	\$576,000	+121%
Memory 内存	\$373,939	9.36%	\$2,001,600	+435%
Cooling 散热	\$64,610	1.62%	\$72,080	+12%
Power supply 电源	\$57,600	1.44%	\$76,000	+32%
PCB 印刷电路板	\$35,100	0.88%	\$116,730	+233%
ABF Substrate ABF载板	\$11,160	0.28%	\$20,340	+82%
MLCC 多层陶瓷电容	\$1,530	0.04%	\$4,320	+182%
Others 其他	\$402,412	10.07%	\$623,278	+55%
Rack assembly value add 整机组装增值	\$22,400	0.56%	\$28,800	+29%
合计 Total	\$3,994,551	100.00%	\$7,803,148	+95%

2.2 HBM产业地位不断上升，成为AI芯片主流方案

- **主流AI训练芯片多采用HBM。**以英伟达H100为例，1颗H100由1颗GPU+6颗HBM通过CoWoS技术封装集成，其中5颗是active HBM2E，每颗HBM2E由8层2GB DRAM Die堆叠组成。**HBM也是AI芯片中占比最高的部分。**英伟达H100成本接近3000美元，其中占比最高的即SK海力士的HBM，约2000美元。
- **HBM工艺进步极大提升AI算力芯片性能。**H200作为H100的升级款，依然采用Hopper架构（1GPU+6HBM）和台积电4纳米工艺，GPU芯片、核心数、频率都没有变化，性能进步完全来自于首次搭载的HBM3E显存，使H200拥有141GB内存和4.8TB/s带宽，大大超过了H100的80GB和3.35TB/s。在HBM3E加持下，H200让Llama-70B推理性能几乎翻倍，运行GPT3-175B也能提高60%，**HBM工艺进步极大提升了芯片性能。**

◆图：HBM市场有望以远超DRAM市场的速度扩张（单位：亿美元） ◆图：YOLE预计HBM将在存储芯片复苏进程中不断提升占有率



2.2 HBM产业地位不断上升，成为AI芯片主流方案

- 自2018年HBM2量产以来，HBM已完成从HBM2、HBM2e到HBM3、HBM3e的快速迭代，并逐步向HBM4演进。HBM技术升级主要围绕传输速率提升、堆叠容量扩展和通道架构升级三条主线展开。
 - (1) 传输速率持续提升：HBM单Pin传输速率由HBM2的2.0~2.4Gbps提升至HBM3e的8.0~9.8Gbps，较初代产品提升约4倍，在保持较低功耗的同时实现带宽快速增长。
 - (2) 堆叠层数和容量持续扩展：随着DRAM工艺节点演进及3D堆叠技术成熟，HBM堆叠层数由4/8层逐步提升至12层，并进一步向16层演进，单颗容量由HBM2的4~8GB提升至HBM3e的24~48GB。
 - (3) 架构持续升级：HBM在保持1024bit超宽位宽基础上持续增加通道数量，由HBM2的8通道升级至HBM3/3e的16通道，HBM4进一步扩展至32通道，通过提升并行传输能力满足AI训练和推理对海量数据吞吐的需求。

◆ 表：HBM技术持续迭代，带宽与容量快速提升

产品	HBM2	HBM2e	HBM3	HBM3e	HBM4
发布时间	2018	2020	2022	2024	2026F
供应商（竞争格局）	SK hynix, Samsung (6: 4)	SK hynix, Samsung, Micron (5: 4: 1)	SK hynix, Samsung (7: 3)	SK hynix, Samsung, Micron (6: 3: 1)	SK hynix, Samsung, Micron (5: 3: 2, 预计)
核心工艺	20	1Y, 1Z	1Z	1alpha, 1beta	1beta, 1C
核心裸片密度	8Gb	16Gb	16Gb	24Gb	24Gb
层数	4, 8	4, 8	8, 12	8, 12, 16	8, 12, 16
容量	4GB, 8GB	8GB, 16GB	16GB, 24GB	24GB, 36GB, 48GB	24GB, 36GB, 48GB
速度 (Gbps)	2.0-2.4	3.2-3.6	5.6-6.4	8.0-9.8	8-12
通道数	8	8	16	16	32
输入/输出	1024	1024	1024	1024	2048

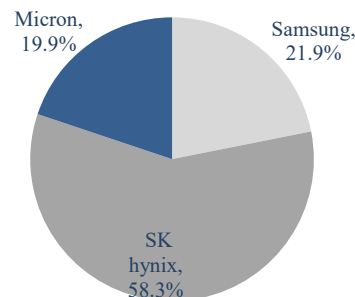
2.3 HBM呈现SK海力士主导、三星追赶与美光补位的格局，国内长鑫积极扩产

- HBM市场由SK海力士、三星和美光占据，2025年SK海力士以绝对优势占据市场58.3%份额，三星和美光各自占比约20%左右。其中HBM主流产品为HBM3e系列，占整个市场96.3%，HBM3以及HBM2e系列分别占2.2%与1%，逐渐被市场淘汰。HBM4系列2025年尚未实现大规模量产，市场还处于验证阶段，仅占比0.6%。
- AI算力需求推动下，存储产能向HBM倾斜。从2025Q1至2026Q1，三家厂商的DRAM晶圆总投入量持续攀升，尤其是用于生产HBM的晶圆占比显著提高，并且Trendforce预计其有加强趋势。SK海力士的HBM晶圆投入占比从2025Q1的25.9%一路增长至2026Q1的29.5%，始终保持行业最高水平；三星和美光的占比也分别从2025Q1的19.4%和11.3%稳步提升至2026Q1的23.8%和19.1%。

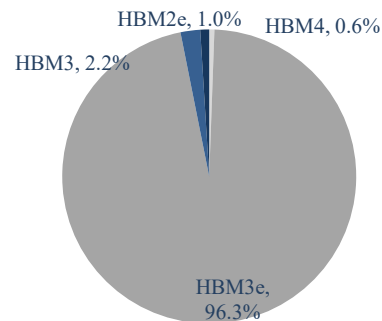
◆ 图：HBM产能及其在DRAM产能占比稳步上升，2026Q1海力士产能占比已接近30%

单位：千片晶圆/月	1Q25	2Q25	3Q25	4Q25	1Q26	2Q26F	3Q26F	4Q26F	
Samsun g	HBM产能	125	130	140	150	150	160	170	180
	DRAM晶圆产能	645	645	655	650	630	655	675	700
	HBM在DRAM占比	19.4%	20.2%	21.4%	23.1%	23.8%	24.4%	25.2%	25.7%
SK hynix	HBM产能	130	138	147	150	165	180	190	200
	DRAM晶圆产能	500	515	530	545	560	585	595	605
	HBM在DRAM占比	25.9%	26.8%	27.8%	27.5%	29.5%	30.8%	31.9%	33.1%
Micron	HBM产能	36	48	54	55	65	75	85	90
	DRAM晶圆产能	320	330	340	340	340	345	355	355
	HBM在DRAM占比	11.3%	14.5%	16.0%	16.2%	19.1%	21.7%	23.9%	25.4%
total	HBM产能	291	316	341	355	380	415	445	470
	DRAM晶圆产能	1,822	1,886	1,943	1,966	1,973	2,041	2,081	2,121
	HBM在DRAM占比	16.0%	16.7%	17.6%	18.1%	19.3%	20.3%	21.4%	22.2%

◆ 图：2025年HBM全球市场份额（按出货量计算）



◆ 图：2025HBM各代产品全球市场份额（按出货量计算）



2.3 HBM呈现SK海力士主导、三星追赶与美光补位的格局，国内长鑫积极扩产

- **HBM呈现SK海力士主导、三星追赶与美光补位的格局。**SK海力士凭借多年HBM技术积累与英伟达深度协同，在驱动适配、稳定性测试等方面具备先发优势。三星则通过激进投资与工艺突破，试图以HBM4E实现反超。美光采取跳代策略，虽份额较小，但成功打入顶级供应链。当前主流封装工艺仍为MR-MUF与TC-NCF，但各厂商技术重心已转向混合键合设备以提升良率。
- **海外龙头陆续实现HBM4量产，国内长鑫存储积极扩产HBM。**SK海力士HBM4于2025年9月完成开发并启动量产，2026年全面放量，且HBM4e已于2026年6月向主要客户交付，早于预期三个月，预计能于2027年实现量产。三星于2026年初拿下10亿美元订单并启动量产，2026年5月底向客户率先发送12层HBM4e样品。美光科技12层HBM4已于2026Q1实现量产，预计最晚2026年底交付HBM4e样品。长鑫存储预计于2027年实现HBM3e量产，正在积极扩产追赶中。

◆ 图：26Q1三家存储巨头先后实现hbm4量产

HBM4参数对比	SK海力士	三星	美光
量产时间	2026年初	2026年2月	2026年3月
堆叠层数	16层	16层	12层
单堆栈容量	48GB	48GB	36GB
单堆栈带宽	超过2.8TB/s	最高3.3TB/s	超过2.8TB/s
引脚速率	约11.7Gbps	13Gbps	11Gbps

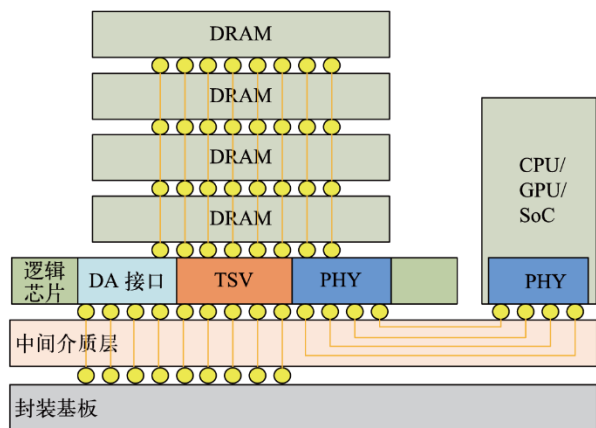
◆ 图：海力士以稳定取胜，三星试图通过极致带宽试图反超

HBM4工艺对比	SK海力士	三星	美光
DRAM制程	1b级10nm	1c级10nm	1β级
基底逻辑工艺	逻辑Foundry工艺基晶块	4nm逻辑工艺	台积电逻辑工艺
封装工艺	MR-MUF, 散热效率高, 良率90%以上	TC-NCF, 量产良率60-75%	TC-NCF, 量产良率约50%
优势	稳定性高, 高良率	极致带宽, IDM一体化优势	低功耗, 专供英伟达

2.4 HBM多采用堆叠技术，实现带宽、容量的提升

- **HBM采用多层DRAM堆叠结构及2.5D封装。** HBM采用3D堆叠存储架构，由多个DRAM Die通过TSV（硅通孔）技术垂直互联，并在底部集成逻辑层，最终通过2.5D封装与GPU、CPU等计算芯片共同集成于中介层之上。与传统DDR、GDDR等平面封装存储器相比，HBM显著缩短了存储单元与计算芯片之间的数据传输距离，同时在有限封装面积内实现更多存储单元集成，是当前AI加速器和高性能计算领域的主流存储方案。
- **HBM通过“超宽位宽+3D堆叠”实现性能跃升：**（1）**超宽位宽提升带宽：**与GDDR主要依赖提升单Pin传输速率不同，HBM利用TSV技术实现多层DRAM垂直互连，将大量I/O通道集成于有限面积内。以HBM3为例，其总位宽达到1024bit，远高于GDDR6的32bit，通过大幅增加并行传输通道数量实现TB/s级带宽。同时，TSV互连及2.5D封装显著缩短信号传输距离，在提升带宽的同时有效降低功耗。（2）**多层堆叠提升容量：**HBM通过3D堆叠技术将多层DRAM垂直集成，突破传统平面封装面积限制，在有限封装面积内实现更高存储密度。当前主流HBM3E产品已采用12层DRAM堆叠方案，在实现高带宽的同时提供更大存储容量，从而满足AI大模型训练和推理对高带宽、大容量存储的需求。

◆ 图：HBM内部堆叠及封装结构



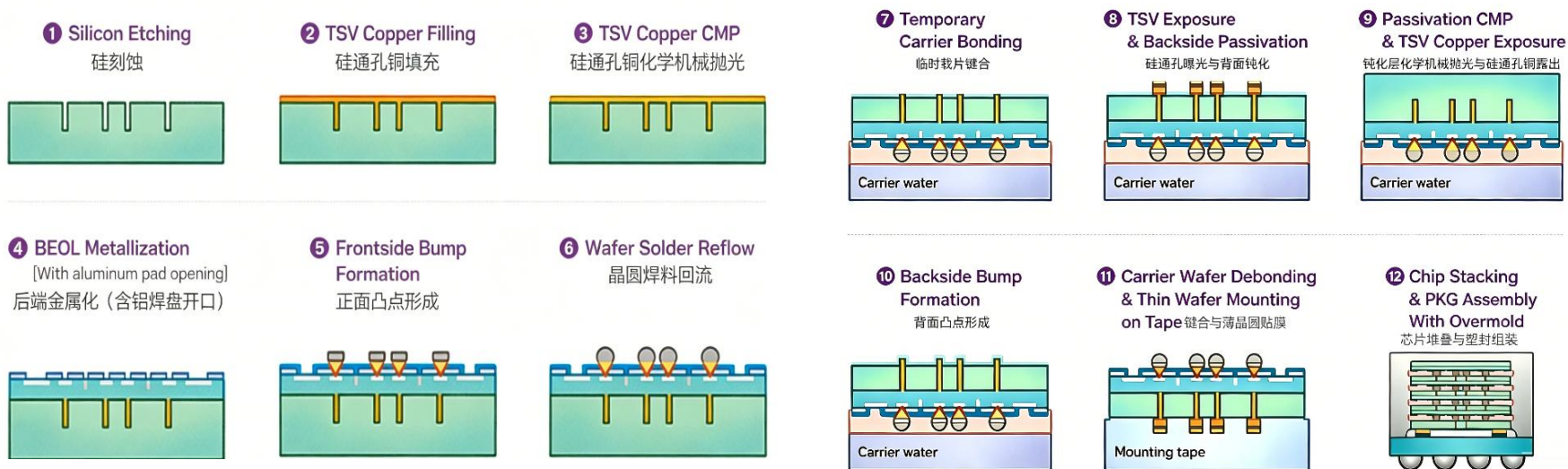
◆ 图：HBM相较传统存储器性能显著提升

指标	DDR5	GDDR6	HBM3E
封装方式	单颗DRAM	单颗DRAM	多层DRAM堆叠+2.5D封装
位宽 (bit)	64	32	1024
单Pin速率 (Gbps)	6.4~8.8	18~24	8.0~9.2
单颗带宽 (GB/s)	51~70	72~96	1024~1200
单颗容量 (GB)	16~64	2~4	36~48
单位面积带宽	低	中	极高
功耗效率	基准	较高	显著提升
主要应用	CPU主存	显卡显存	AI GPU/AI加速器

2.4 HBM多采用堆叠技术，实现带宽、容量的提升

- **HBM（高带宽存储器）的制造核心在于 TSV（硅通孔）封装技术。**以 SK 海力士官方披露的 TSV 封装流程为例，单片 DRAM 晶圆需经历 12 道关键工序：从硅刻蚀形成深孔，到铜填充与化学机械抛光（CMP）确保通孔导电性与表面平整度；随后进入后端金属化与正面凸点形成，通过回流焊制备微凸点；晶圆经临时载片键合支撑后，进行背面减薄、TSV 露出与背面钝化、背面凸点形成，最终完成载片解键合与芯片堆叠塑封。TSV 刻蚀/填充、微凸点形成及薄晶圆键合等关键工序决定 HBM 堆叠结构的电气连接可靠性，也是 TSV 缺陷、Micro Bump 失效及堆叠偏移等问题的主要来源。因此 HBM 在封装完成后需通过 KGSD 测试对垂直互连结构进行验证，显著提升测试复杂度及测试设备需求。

◆ 图：HBM 封装工序



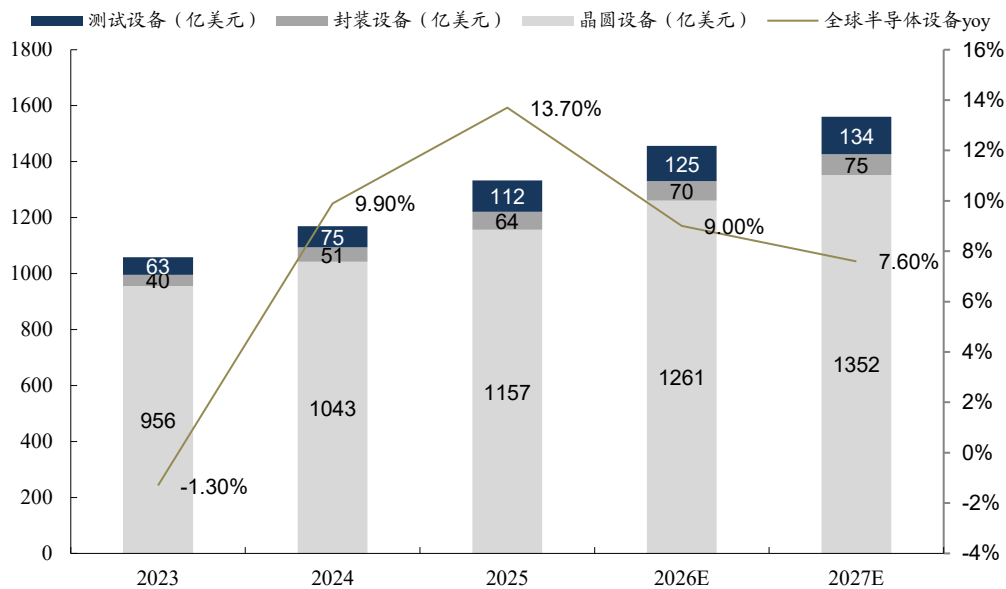


- 一、存储持续涨价&两存上市在即，看好存储未来扩产持续性
- 二、AI算力催生HBM芯片需求，多采用堆叠技术提升容量和带宽
- 三、HBM堆叠对测试机提出KGSD等新需求，国产测试机厂商迎来黄金机遇期
- 四、投资建议
- 五、风险提示

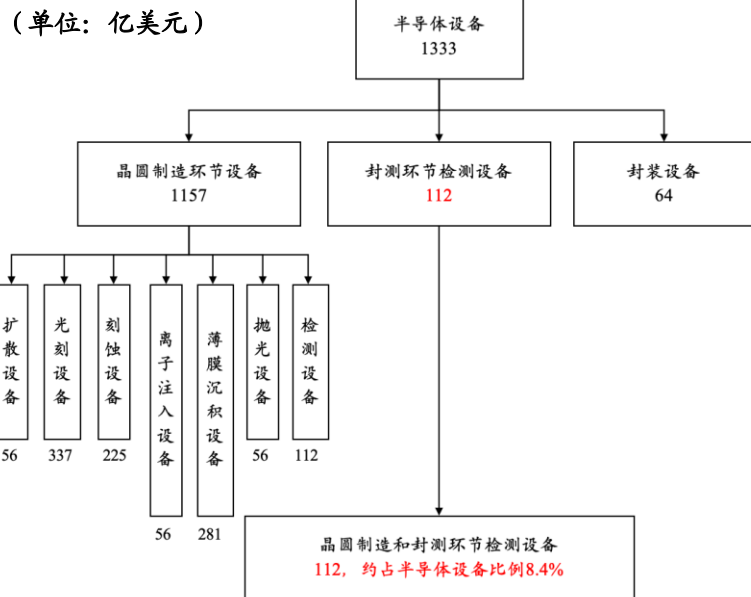
3.1 AI带动半导体测试设备通胀，测试时间变长、机台价格提升

- **2025年全球半导体设备支出预计创历史新高。**据SEMI预测，2025年全球半导体设备销售额预计将达1333亿美元，同比增长13.7%，创历史新高；2026/2027年有望进一步升至1450/1560亿美元。增长动能主要来自人工智能相关投资，覆盖先进逻辑、存储及先进封装等关键领域。
- **2025年半导体设备中测试设备占比约8.4%，市场规模约112亿美元。**2025年半导体设备市场中，封测环节测试设备价值量占比达8.4%，市场规模约112亿美元。

◆ 图：SEMI预测2026-2027全球半导体设备市场分别达1450/1560亿美元



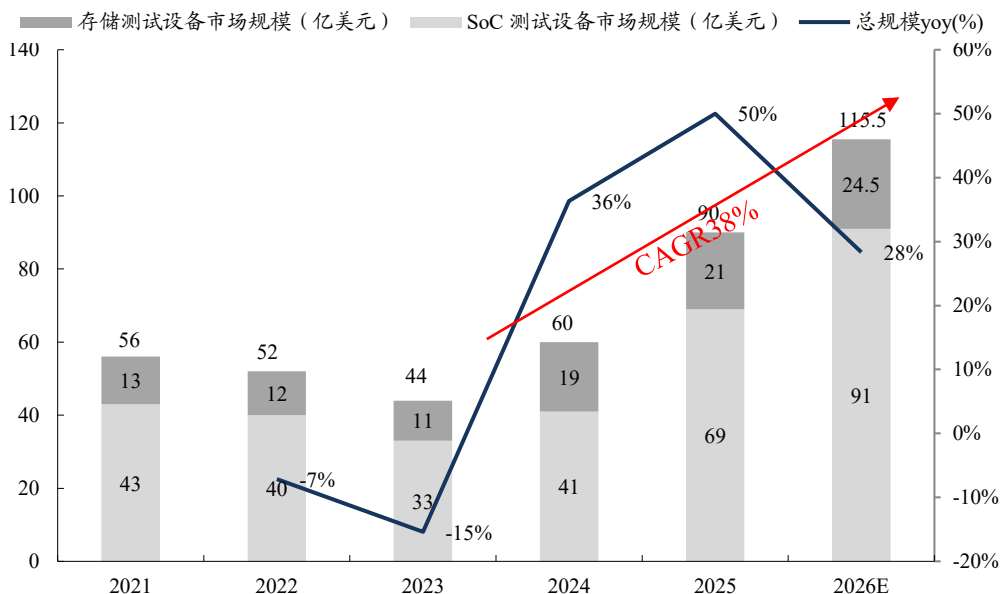
◆ 图：2025年后道测试设备价值量约占半导体设备8.4%



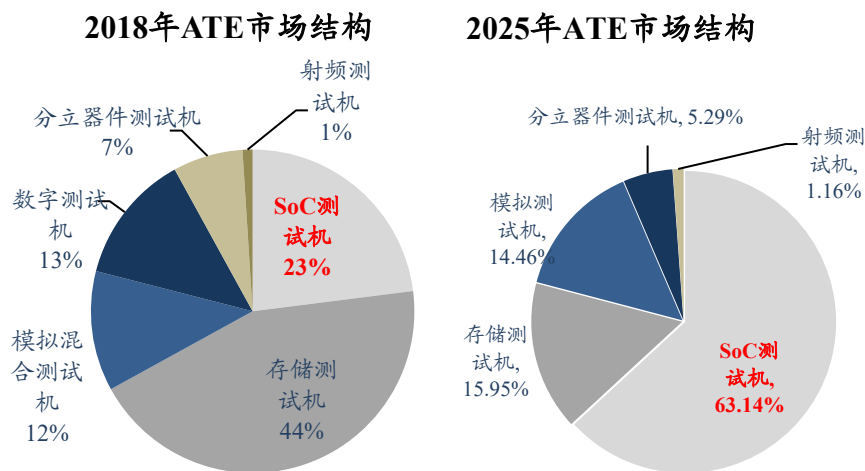
3.1 AI带动半导体测试设备通胀，测试时间变长、机台价格提升

- 我们认为随着AI芯片需求持续放量，SoC测试机、存储测试机市场持续放量。根据爱德万统计，全球SoC测试机/存储测试机市场规模在2025年分别达69/21亿美元，爱德万预计2026年将分别提升至91/24.5亿美元，总市场规模在2023-2026E期间CAGR高达38%，测试机市场随AI需求带动规模不断扩张。
- SoC测试机和存储测试机占据了测试机市场的半壁江山；随着AI技术的兴起，SoC、存储测试机的市场占有率逐渐增加。根据SEMI的数据，2025年全球半导体测试机市场中，SoC测试机的市占率约为63%，相较于2018年的23%显著提升了40pct；存储测试机的市占率约为16%，模拟混合测试机约为14%，而射频模拟测试机的占比最小，约为1%。我们认为随着AI芯片需求持续放量，SoC测试机、存储测试机市场占比进一步提高。

图：全球SoC测试机和存储测试机市场规模自2023年后回暖，总市场规模2023-2026E年均复合增速高达38%



图：2025年全球ATE市场结构中，SoC测试机和存储测试机占据超80%市场（按出货量计算）



3.1 存储测试机区别于SoC测试机，核心指标在于UPH和Cost of Test

- 存储测试机与SoC测试机的差异本质源于被测对象架构不同。存储芯片（DRAM、NAND）以重复存储单元阵列为主，结构标准化，测试重点集中于读写功能、时序窗口、数据保持及坏点筛查；而SoC芯片集成数字、模拟及高速接口等多类异构模块，测试需覆盖更复杂的系统级功能验证。因此，存储测试机主要服务标准化海量产品，更强调高并行、高吞吐和成本效率；SoC测试机则更强调测试覆盖能力和资源灵活性。
- 存储测试机的核心指标在于UPH和Cost of Test。由于存储芯片出货量大、单颗价值量低，设备需通过大规模并行site提升吞吐、摊薄测试成本。相较SoC测试机更关注复杂功能覆盖，存储测试机的核心挑战在于高并行条件下保持稳定性与一致性，包括保障各site测试结果一致、降低误测漏测，并支撑长时间连续运行以维持高稼动率。整体来看，其技术壁垒主要体现在极致效率要求下的高稳定性控制。

◆表：相比SoC测试机，存储测试机更强调高UPH和低成本

对比维度	存储测试机	SoC测试机
被测对象	标准化存储阵列 (DRAM/NAND)	异构复杂逻辑系统
核心目标	高UPH、低Cost of Test	高覆盖率、高精度
架构特点	高并行site	灵活资源配置
技术难点	高并发下稳定性、一致性	高精度与复杂协同
通道数 (Channel)	数千至上万通道 (通常 2,000~16,000+)	数百至数千通道 (通常 128~2,048)
引线针脚数量 (Pin Count)	单颗芯片针脚较少，一般几十至数百Pin	单颗芯片针脚多，可达数百至数千Pin
测试速度 (Test Time)	极短，通常毫秒级~数秒级，追求高UPH	较长，通常数十秒至数分钟

◆图：以爱德万T5830系列为例，并行测试能力高达2304site（晶圆测试）/768site（成品测试）



指标	参数 (T5830/T5830ES存储测试机)
目标器件	NOR Flash、NAND Flash
并行测试能力	晶圆测试: 2,304 site (4-pin); 成品测试: 768 site
测试速率	最高800 Mbps

3.1 存储测试机区别于SoC测试机，核心指标在于UPH和Cost of Test

- 存储测试机对测试效率的要求极高，核心难点在于并行测试能力。为降低单位Bit测试成本，存储厂商通常要求测试机同时测试大量Die，因此对测试通道数量、同步精度及系统稳定性提出极高要求。尤其HBM产品采用1024bit超宽接口，高速信号在大量通道同时运行时容易产生串扰、时序漂移及误判问题，因此不仅要求测试机具备高速能力，更要求在高并行度条件下长期维持稳定一致的测试结果。

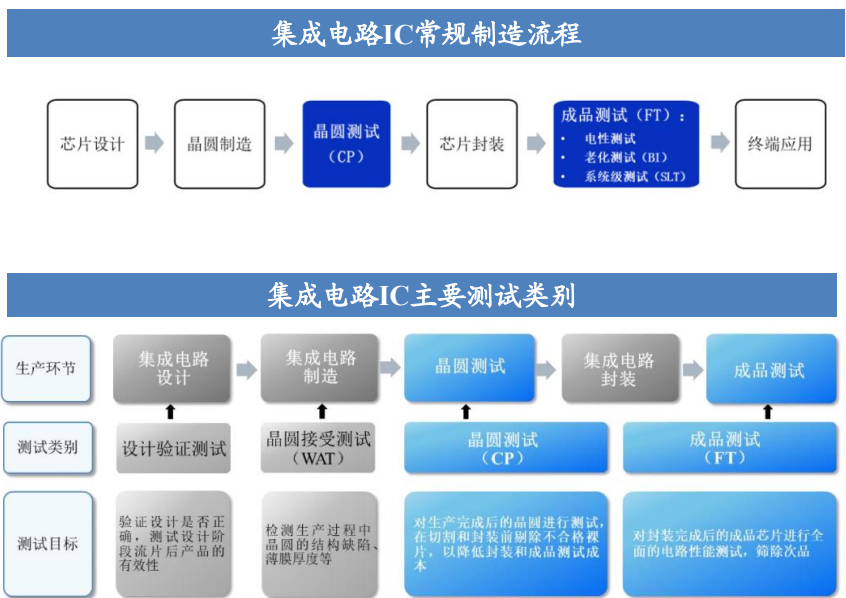
◆表：HBM时代对存储测试机并行测试能力提出更高要求

指标	DDR4	DDR5	HBM3E
单颗器件I/O数量	64bit	64bit	1024bit
数据速率	3-5Gbps	6-8Gbps	9Gbps+
测试项目	基础功能测试	高速接口测试增加	TSV、KGD、Stack等测试增加
对ATE要求	高并行	高并行+高速	高并行+高速+高稳定性

3.2 DRAM测试难度&需求大于NAND，HBM进一步放大存储测试机需求

- 半导体测试通常分为WAT、CP及FT三大核心环节。WAT在晶圆制造完成后监控工艺稳定性与电性参数；CP在切割前对单颗Die进行功能和性能筛选，剔除不良品以降低封装成本；FT则在封装完成后对最终成品进行全面验证，确保出货质量。
- 不同测试阶段的对象与目的各异：WAT监控工艺、CP筛选裸片、FT验证成品。WAT通过晶圆上特定测试结构评估前道工艺质量；CP利用探针台逐颗测试Die电性并标记好坏；FT在封装后模拟真实应用场景，检验最终产品的功能、性能及可靠性。三者分工明确，共同构筑芯片良率与品质的保障体系。

◆ 图：集成电路主要制造环节与测试类型



◆ 图：集成电路主要测试类型与对应测试内容

测试类别	主要测试项目	主要测试内容
参数测试	直流参数测试	主要测试芯片的电压、电流的规格指标。常见内容有连接性测试、漏电流测试、输出高/低电平测试等
	交流参数测试	目的是确保芯片的所有时序符合规格。常见内容有上升时间、下降时间、传输延迟时间、建立和保持时间以及存储时间等
功能测试	数字逻辑功能测试	主要通过输入测试向量验证逻辑输出正确性。常见项目包括SCAN、BIST等
	模拟/混合信号功能测试	衡量芯片的数字转模拟模块、模拟转数字模块的性能指标。常见项目有线性度、信噪比、总谐波失真等
	射频功能测试	测试芯片的射频信号是否符合芯片的设计规格，常见的射频模块测试项目有噪声系数、隔离度、接收灵敏度等
	存储器功能测试	对芯片嵌入式存储器和独立存储器模块的读写功能进行测试，常见内容有读写功能、地址译码、数据保持、擦写寿命测试等
可靠性测试	老化测试	通过在高温、高电压条件下对芯片进行长时间加电负载，强制其潜在缺陷提前暴露
系统级测试	系统级测试	通过模拟终端使用场景，对芯片进行的功能和性能测试，测试内容主要为实际使用负载，亦覆盖部分参数测试、功能测试等，是芯片实际使用功能的最终保证

3.2 DRAM测试难度&需求大于NAND，HBM进一步放大存储测试机需求

- WAT与CP/FT在测试定位与能力要求上存在本质差异，这篇报告我们只重点讨论后道的CP和FT测试。WAT属于工艺监控型测试，通过在晶圆特定测试结构上以高精度离线量测电性参数与薄膜厚度，评估前道制程稳定性，其壁垒在于测试结构设计与工艺know-how的深度结合；CP/FT则属于产品筛选型测试，CP在切割前逐颗验证裸片功能并标记剔除以降低封装成本，FT在封装后模拟真实应用场景对成品进行全面性能验证，二者依赖ATE测试机、探针卡及测试程序开发能力，壁垒体现在多site并行测试与效率优化。

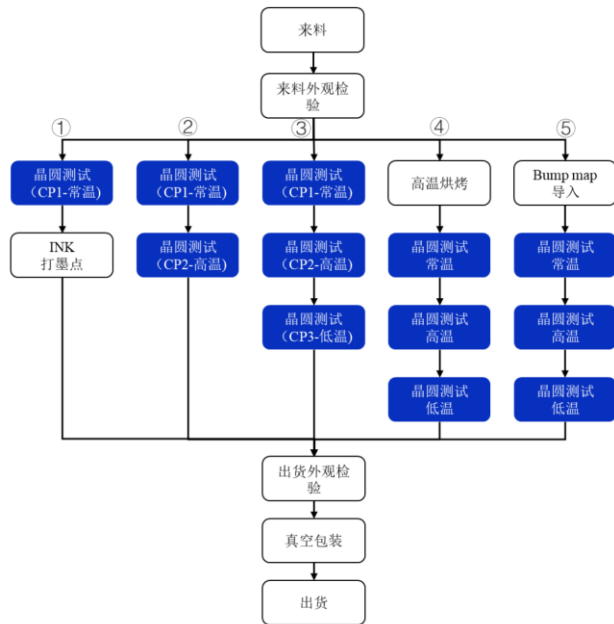
◆ 图：WAT与CP/FT在测试内容、能力要求等方面存在本质差异

	WAT测试	CP/FT测试
测试阶段	晶圆制造完成后、切割前	CP: 封装前; FT: 封装后
测试对象	晶圆上的专用测试结构/监控图形	CP: 单颗裸片 (Die); FT: 封装后成品芯片
核心目的	监控工艺稳定性、评估制程能力	CP: 筛选合格裸片; FT: 验证最终成品性能
测试内容	结构缺陷、薄膜厚度、电性参数等工艺指标	功能、性能、可靠性、系统级应用验证
测试精度	要求极高，需测量纳米级薄膜、微欧级电阻等精细工艺参数	侧重功能验证，精度要求相对宽松，但需高速高精度ATE测试机
测试方法	基于专用测试结构的离线量测，非接触式或简易探针测量	基于芯片实际功能向量的在线测试，配合探针卡/测试座及测试程序
技术壁垒	工艺理解与测试结构设计能力，需深度结合制程know-how	测试程序开发、探针卡设计、多site并行测试及效率优化能力

3.2 DRAM测试难度&需求大于NAND，HBM进一步放大存储测试机需求

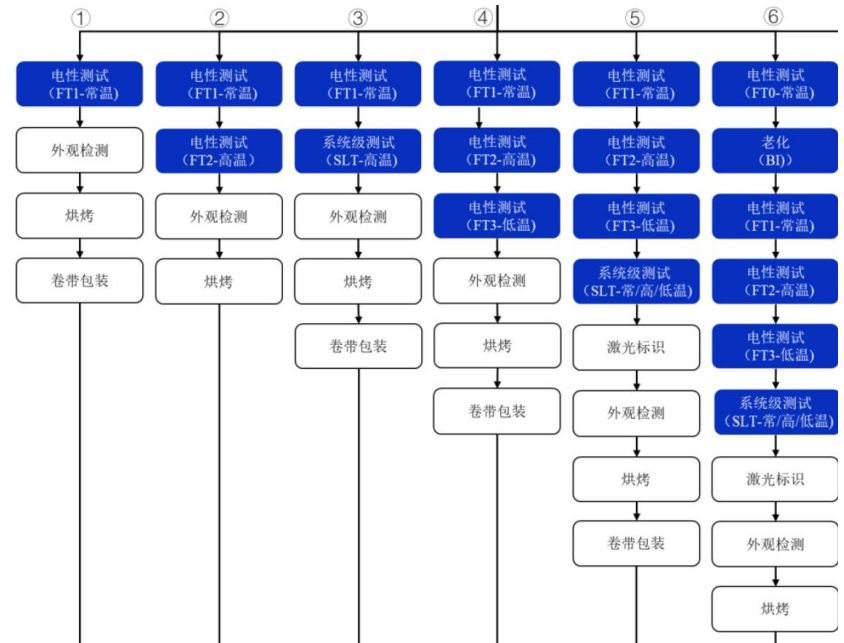
- CP与FT测试均需在常温、高温、低温条件下进行电性验证，以覆盖芯片实际工作温度范围。但因测试对象与阶段不同，两者温度测试的目的与侧重点存在显著差异。**(1) CP阶段：**三温测试针对裸片（Die），重点在切割前筛选温度敏感失效。晶圆制造中的工艺波动会导致电性参数随温度漂移，通过常温、高温、低温全覆盖测试，可提前剔除极端温度下失效的Die，避免无效封装成本。**(2) FT阶段：**三温测试针对封装后成品，侧重验证封装完整性与系统级可靠性。封装过程引入的热应力、键合缺陷等会在温度变化中暴露，通过三温电性测试及系统级测试（SLT），确保成品在全温度范围内功能正常、性能达标。

◆ 图：晶圆测试（CP）流程



注：①-⑤为不同晶圆类型对应流程，其中消费电子较多使用①/②，高端算力晶圆较多使用③/④/⑤，射频通讯较多使用②/③，车载智控晶圆较多使用③/④/⑤。

◆ 图：成品测试（FT）流程



注：①-⑥为不同晶圆类型对应流程，其中消费电子类芯片较多使用①/②/③/④，高端算力芯片较多使用③/④/⑤/⑥，射频通讯芯片较多使用⑤/⑥，车载智控芯片较多使用⑤/⑥/。

3.2 DRAM测试难度&需求大于NAND，HBM进一步放大存储测试机需求

- SoC测试机的CP与FT差异小，同一平台可灵活切换。SoC芯片的CP与FT均聚焦于逻辑功能正确性的筛选，测试目的高度一致，差异主要体现在测试深度（CP做基础连接与DC参数扫描，FT做全面功能验证），而非测试逻辑本身。因此，SoC测试机一般可在同一平台架构下，通过更换探针卡/负载板及测试程序，简单切换CP与FT模式，硬件配置差异较小。
- 存储测试机的CP与FT差异大，通常配置为专用机型。由于存储阵列标准化、单颗价值量低，CP阶段不仅承担坏块筛选，更需完成冗余修复（MRA）的前置分析，且以极高并行度（如2304 site）摊薄成本；FT阶段则转向高速性能验证与可靠性终检。CP与FT在并行度、测试速率、功能模块上的差异显著，因此存储测试机通常在同一平台系列下配置为CP专用或FT专用机型，形成"CP筛选+Repair修复+FT验证"的专用测试链。

◆表：相比SoC测试机，存储测试机CP环节与FT环节差异大

	SoC (系统级芯片)	存储芯片 (DRAM/NAND Flash)
CP测试核心目的	筛选 (Screening) : 1) 监控前道工艺良率; 2) 筛除明显不合格裸片, 避免浪费封装成本; 3) 基础DC参数与功能扫描 (常温、低功率、放宽limit)	筛选 + 修复 (Screening + Repair) : 1) 全测 + 冗余分析 (MRA), 生成Repair Address; 2) 激光修复 (Laser Repair) 的前置步骤; 3) 基本连接与低速数字测试; 4) 超高并行测试
FT测试核心目的	终检 (Final Inspection) : 1) 全面功能、性能与可靠性验证 (高低温、老化、AC时序); 2) 检测封装过程引入的新失效	终检 (Final Inspection) : 1) 检测封装引入的新失效; 2) 高速性能验证 (速度显著高于CP); 3) 全面功能与可靠性终检; 4) 坏片直接报废 (无法修复)
CP与FT的本质关系	1) 两者都是"筛选", 职能高度重叠; 2) 差异仅为测试深度 (初步筛查 vs 严格终检); 3) 无修复机制, 测试向量类型一致	两者职能本质不同 1) CP是修复中心 (决定芯片能否救回), FT是终检中心 (仅判定Pass/Fail); 2) 速度差异显著 (CP低速 vs FT高速)

3.2 DRAM测试难度&需求大于NAND，HBM进一步放大存储测试机需求

- DRAM由于对高速时序精度和稳定性要求极高，通常采用多轮CP及分段式FT；而NAND依赖片上自测试及ECC纠错机制，测试流程相对简化，设备要求和单价均显著低于DRAM。
- DRAM与NAND测试差异主要体现在：（1）CP阶段：DRAM通常需经历CP1、Repair及CP2多轮测试，对ATE精度和并发能力要求较高；NAND更多依赖片上BIST（Built-In Self-Test，自测试电路）完成检测，外部测试复杂度较低。（2）FT阶段：DRAM一般拆分为高速、低速及老化三道工序，而NAND通常单一综合FT即可完成。此外，DRAM为实时高速访问型存储，对bit error漂移及温漂敏感，因此需额外强化老化和稳定性验证；NAND具备ECC纠错及坏块管理机制，系统层容错能力更强，对测试设备精度依赖相对较弱。

◆表：DRAM的测试难度大于NAND

阶段	DRAM流程	NAND流程	差异原因解释
Wafer Sort (CP1)	基础电性测试、坏块筛查	基础电性测试、坏块筛查	两者都做初筛，但DRAM对速度/时序敏感，测试覆盖要求更高
Repair / Redundancy Analysis	必须进行冗余修复分析	也有坏块管理，但更多依赖控制器ECC/Bad Block Management	DRAM需直接物理修复阵列缺陷；NAND容错机制更多由系统层承担
CP2 (Repair Verify)	修复后二次验证，确认替换单元有效	通常简化甚至可省略独立环节	DRAM修复精度要求高；NAND可通过后续内部集成BIST容错
FT (Final Test)	高速FT + 低速FT + 老化Burn-in	单一综合FT	DRAM需验证高速时序、信号完整性、长期稳定性；NAND接口速率要求低、时序复杂度小

3.2 DRAM测试难度&需求大于NAND，HBM进一步放大存储测试机需求

- **DRAM FT测试需按中速、高速分档进行，CP环节则统一采用中低速机型，不区分速率档位。**CP阶段通过探针接触裸片，受接触电阻与寄生参数限制，高频信号验证困难，且核心目标为切割前快速筛选Die好坏，无需跑满速率；FT阶段封装后芯片电气性能完整释放，需通过不同速率档位验证真实工作频率与稳定性，以实现性能分级出货。其中，FT中速机型因性能要求与CP机台相近，通常采用同一类测试平台；FT高速测试则需更高端ATE设备，对信号完整性与时序精度要求极高，测试难度与成本显著更大。

◆表：DRAM FT测试需按中速、高速分档进行分档

项目	CP测试	FT-中速测试	FT-高速测试
测试对象	裸片（Die）	封装后成品	封装后成品
典型产品	全部DRAM产品	DDR4、DDR5等主流产品	DDR5高速Bin、LPDDR5X、GDDR6/6X、HBM等高速产品
对应产品速率	不区分最终速率Bin	DDR4: 1.6 Gbps; DDR5: 2.4-3.2 Gbps (主流)	DDR5高速Bin: 3.6-4.0 Gbps; LPDDR5X: 4.3-5.3 Gbps
速度档位	中低速（满足基本功能验证即可）	中速档	高速档
核心目的	快速筛选好坏Die，降低封装成本	性能分级，验证额定速率稳定性	验证极限速率、Speed Bin及信号完整性
设备平台	中低速ATE+探针台	通常与CP共用同系列ATE平台	独立高端高速ATE
测试难度	受Probe Card寄生参数限制	中等	高（时序精度、信号完整性、电源完整性要求严苛）

3.2 DRAM测试难度&需求大于NAND，HBM进一步放大存储测试机需求

- 据我们测算，DRAM单万片测试设备价值量约为NAND的4倍。（1）数量层面，DRAM需经历多轮CP及高速、低速、老化三段式FT，测试环节拆分更多；（2）单价层面，DRAM测试对高速时序精度、并发通道数及信号完整性要求更高，推动CP及高速FT设备单价显著提升。相比之下，NAND依托片上BIST自测试及ECC纠错机制，外部ATE测试复杂度较低，且FT多由单机完成，因此无论设备数量还是单机价值均明显低于DRAM。

◆表：DRAM/NAND单万片测试机价值量分别为1.7/0.4亿元

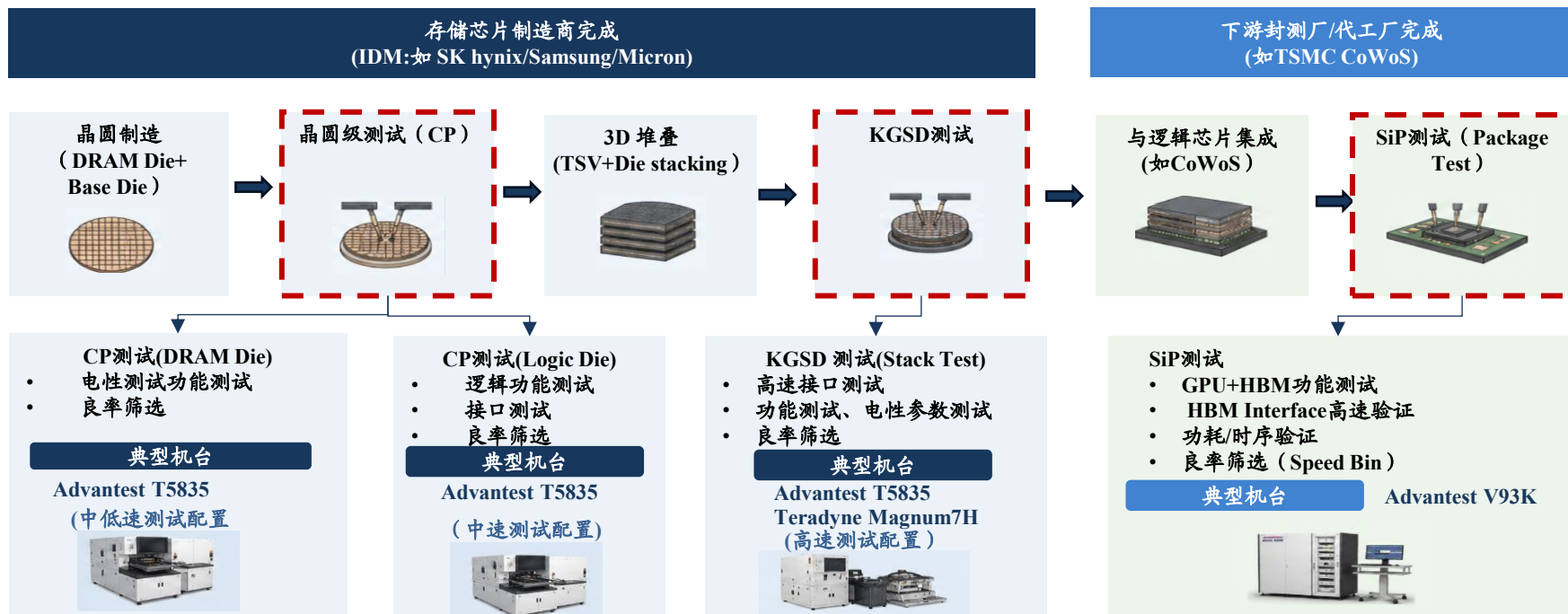
类别	测试环节	单机价格（万元）	对应设备数量（台/万片）	单环节价值量（万元/万片）
DRAM	CP1（初筛）	800	5	4000
	CP2（Repair Verify）	800	5	4000
	高速FT	2,500（2000-3000均值）	2-3（取2.5）	6250
	中低速FT	800	2-3（取2.5）	2000
	Burn-in老化	450	2-3（取2.5）	1125
	DRAM合计	—	—	17400
NAND	CP1（Wafer Sort）	100	8	800
	CP2（Sort Verify，可选）	100	2	200
	综合FT	650	5	2925
	NAND合计	—	—	3925

注：中低速FT机台通常与CP阶段机台采用相同平台

3.2 DRAM测试难度&需求大于NAND，HBM进一步放大存储测试机需求

- 与传统DRAM相比，HBM测试重心由传统封装后测试前移至3D堆叠完成后的KGSD（Known Good Stacked Die）测试环节。HBM在存储IDM厂商完成DRAM Die、Logic Base Die制造、晶圆级测试（CP）及3D堆叠后，以KGSD形式完成高速功能、电性能及接口等关键测试，并作为堆叠裸芯片交付下游先进封装厂，而非以独立封装产品出货。因此，存储厂的测试工作主要集中于晶圆级测试（CP）和KGSD测试两个环节；下游封测厂再将HBM与GPU/AI SoC等逻辑芯片完成异构集成，并进行SiP封装测试（Package Test），部分高端产品还将进一步进行系统级测试（SLT）后最终出货。

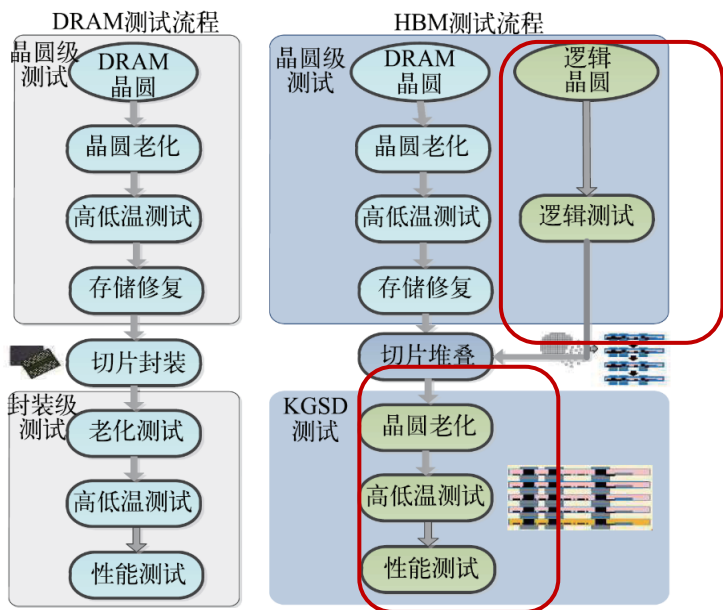
◆ 图：HBM测试流程：存储厂主要涉及晶圆级测试（CP）和KGSD测试两个环节，其中KGSD为关键新增环节



3.2 DRAM测试难度&需求大于NAND，HBM进一步放大存储测试机需求

- **HBM测试需求较传统DRAM显著增量。**（1）在晶圆级测试阶段，测试数量大幅提升且测试内容扩展。由于HBM采用多片DRAM Die堆叠架构，为确保最终堆叠良率，堆叠前必须对每一片待堆叠的Die进行晶圆级测试，这使得同等容量HBM的CP测试数量达到传统DRAM的数倍。与此同时，除传统DRAM芯片测试外，HBM还新增了逻辑芯片（Logic Die）测试。（2）**KGSD测试是与传统DRAM测试区别最大的环节。**KGSD测试的对象是一个复杂系统——"Logic Die + 多层DRAM + TSV + PHY"，测试环节涵盖逻辑芯片测试、TSV互连测试、PHY I/O测试及堆叠后高速性能验证等。由于测试复杂度、测试时间及测试资源消耗显著提升，KGSD测试成为带动存储测试机需求增长的关键所在。

◆ 图：HBM与传统DRAM测试流程区别



◆ 表：HBM KGSD细分测试项目

测试项目	测试对象	测试方法	是否采用ATE
Logic Die测试	Logic Die中的Scan Chain、MBIST及PHY模块等	Scan Test、DFT/BIST测试、功能测试	✓
TSV/互连测试	TSV、Micro-bump及Die-to-Die互连	Open/Short测试、Loopback测试、BIST测试	✓（部分）
PHY I/O测试	PHY接口及1000+ I/O通道	DC Parametric Test、AC Timing Test、DFT测试	✓
功能/电性能测试	HBM堆叠整体	Functional Test、Parametric Test、高低温测试	✓
高速性能测试	HBM堆叠整体	ATE+Prober+Probe Card高速读写测试	✓
老化应力测试	HBM堆叠整体	ATE + DFT/BIST + Dynamic Stress Pattern	✓

3.2 DRAM测试难度&需求大于NAND，HBM进一步放大存储测试机需求

● HBM KGSD测试与传统DRAM的CP测试和FT测试差异显著，兼具晶圆级测试方式与系统级堆叠验证特点：

（1）测试对象更加复杂：传统CP主要针对单颗DRAM Die，FT主要针对单颗封装DRAM，而HBM KGSD测试对象扩展为由Logic Base Die、TSV及多层DRAM Die组成的3D堆叠系统，新增Logic Die、TSV互连及PHY I/O等测试对象；（2）测试内容显著增加：相比DRAM CP以良率筛选和基础功能、电参数测试为主，以及DRAM FT侧重封装后功能、电参数及速度分档测试，HBM KGSD在保留上述测试内容基础上，进一步新增Logic Die测试、TSV互连测试、PHY I/O测试、高速接口测试及堆叠结构验证等环节；（3）测试方式更接近CP，但测试机性能要求更接近甚至高于传统高速FT：HBM KGSD采用ATE+Prober+Probe Card的晶圆级测试方案，测试形态与传统CP一致；但需完成高速功能验证、PHY接口测试及Speed Bin等接近FT阶段的测试内容，因此对ATE的测试速率、高Pin Count、高并行能力、信号完整性及测试精度等要求均接近甚至高于传统DRAM高速FT测试机。

◆表：与DRAM CP/FT测试相比，HBM KGSD测试内容更多、难度更高

项目	DRAM CP测试	DRAM FT测试	HBM KGSD测试
测试阶段	晶圆制造完成后	封装完成后	堆叠完成后
测试对象	单颗DRAM Die	单颗封装DRAM	Logic Die+多层DRAM+TSV组成的HBM Stack
测试目的	剔除坏Die (KGD)	验证最终封装产品性能	筛选Known Good Stacked Die (KGSD)，供先进封装使用
测试方式	ATE+Prober+Probe Card	ATE+Handler+Socket	ATE+Prober+高端Probe Card
测试内容	DC参数、基本功能、良率筛选	功能、电参、速度Bin、Burn-in	功能、电参、速度Bin、Logic Die、TSV、PHY Interface、高速I/O、堆叠结构验证
测试速率要求	中低速	高速DDR	更高 (HBM3E达9.6Gbps)
测试时间	较短	中等	最长 (新增Logic Die、TSV、PHY、高速接口等测试)
ATE资源需求	较低	中等	最高 (1024-bit接口、1000+ PHY、超高并行)

3.3 量价齐升：HBM驱动设备难度升级，CP测试需求扩容

- HBM本质仍属于DRAM体系，但由于引入3D堆叠结构及Logic Base Die，其测试对象和测试内容较传统DRAM显著增加。除DRAM Die晶圆测试外，HBM还需对Logic Base Die进行独立验证，并在3D堆叠完成后新增KGSD测试，对TSV互连、HBM Stack功能及高速PHY/Interface等进行综合验证，使测试道数由传统DRAM的3-4道提升至15道以上。根据韩国存储厂商量产经验，HBM存储测试机需求约为传统DRAM的5-6倍，其中KGSD新增测试环节及测试复杂度提升是驱动存储测试设备需求增长的核心因素。

◆ 图：HBM存储测试机需求达传统DRAM的5-6倍

核心测试对象	传统DRAM	HBM	增量来源
DRAM Die CP	✓	✓	堆叠层数增加
Logic Base Die CP	×	✓	新增Logic Die测试
TSV互连验证	×	✓	KGSD新增
HBM Stack功能测试	×	✓	KGSD新增
高速PHY/Interface测试	×/有限	✓	KGSD新增
结论			
测试道数	3-4道	15道+	多轮重复测试与新增KGSD环节
Memory测试机需求	1x	5-6x	多轮重复测试

3.4 HBM提高对测试设备硬件要求，涉及供电、精度、并行等多方面

- 随着HBM向更高传输速率、更高堆叠层数及更大I/O规模演进，对测试设备的供电能力、时序精度、高并行测试能力以及测试算法能力均提出了更高要求。
- **（1）高功耗带来的供电挑战：** HBM采用先进工艺节点，工作电压通常低于1V，但多层DRAM堆叠、超宽位宽及高速数据传输导致整体功耗显著提升。测试过程中需要在低电压条件下提供稳定供电，并有效控制IR Drop及电源噪声，对测试机DPS模块的供电能力、动态响应速度及稳压精度提出更高要求。
- **（2）高速接口带来的时序精度挑战：** HBM带宽提升不仅依赖超宽位宽架构，同时依赖单Pin传输速率持续提升。随着HBM3E速率提升至8~9.8Gbps、HBM4进一步向10Gbps以上演进，测试设备需要具备更高的信号生成、采集及分析能力。测试机内部TG（Timing Generator）及主控芯片成为核心瓶颈，需要实现皮秒级时序控制及高速Pattern生成。目前爱德万T5503HS2已实现±45ps总体计时精度和最高9Gbps测试能力。
- **（3）超宽位宽带来的高并行测试挑战：** HBM采用超宽接口架构，HBM3/3E总位宽达到1024bit，HBM4进一步提升至2048bit，并将通道数由16个增加至32个。接口规模扩张及堆叠容量提升使测试设备需要同时处理更多I/O资源和测试对象，对ATE的Pin Electronics规模、并行测试能力及数据处理能力提出更高要求。以爱德万T5503HS2为例，其测试通道数最高可达16,256个，通过超高并行测试能力降低HBM等高端存储器的单位Bit测试成本。
- **（4）3D堆叠带来的测试接触与算法挑战：** HBM KGSD测试采用ATE+Prober+Probe Card方案，需要同时验证Logic Die、TSV及多层DRAM组成的复杂系统。随着堆叠层数增加和I/O规模扩张，测试过程中对Probe Card平整度、接触一致性及故障定位能力提出更高要求；为控制测试时间及测试成本，测试设备需要依赖更高性能的ALPG资源以及DFT技术实现测试向量压缩、高效Pattern生成和故障分析。爱德万亦将高性能ALPG列为T5503HS2的重要升级方向之一。

3.4 HBM提高对测试设备硬件要求，涉及供电、精度、并行等多方面

◆表：HBM对测试设备的供电能力、时序精度、高并行测试能力以及测试算法能力均提出了更高要求

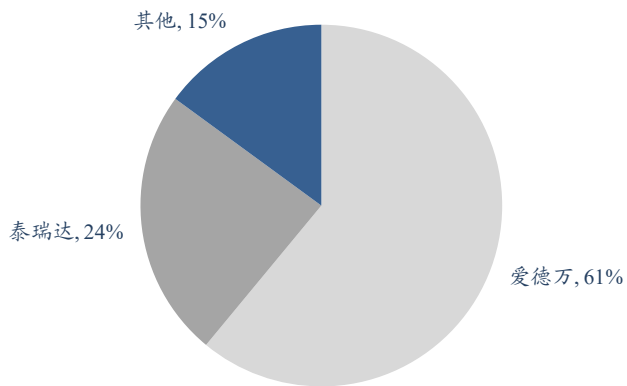
HBM特征	测试挑战	对测试机要求	核心模块	关键指标	典型案例
多层DRAM堆叠、高带宽数据传输带来更高功耗密度	测试过程中易出现Voltage Droop、IR Drop及电源噪声问题，影响测试稳定性和参数测量精度	需在低电压条件下实现稳定供电，并具备更高输出电流能力、更快动态响应速度及更高稳压精度	DPS	输出电流能力、动态响应速度、电压精度、噪声水平	Advantest XPS256电源模块电压精度达到±150μV，用于满足先进存储器及AI芯片测试需求
单Pin速率提升至10Gbps以上，数据传输速率持续提高	数据眼图及Timing Margin持续收窄，对时序误差容忍度显著下降	需实现皮秒级时序控制、高速Pattern生成及高速信号采集分析能力	TG	Timing Accuracy、Edge Placement Resolution、Pattern Rate	Advantest T5503HS2支持最高9Gbps测试能力，Timing Accuracy达到±45ps
HBM4总位宽提升至2048bit，通道数由16个提升至32个	同时处理的I/O资源和测试对象数量显著增加，并行测试压力提升	需配置更高Pin Count及更强并行测试架构，提高测试吞吐量并降低单位Bit测试成本	Pin Electronics (PE)	Test Channel数量、并行测试能力、测试吞吐量	T5503HS2最高支持16,256个测试通道，实现业内领先并行测试能力
TSV、Logic Die及多层DRAM构成复杂3D堆叠结构	接触一致性、故障定位及测试时间控制难度显著增加	需依赖高性能ALPG、DFT及Probe Card协同优化，实现测试向量压缩和高效故障分析	ALPG / DFT	Pattern容量、压缩效率、故障诊断能力、测试时间	Advantest将高性能ALPG资源列为T5503HS2的重要升级方向，以提升复杂存储器测试效率

数据来源：SK海力士、美光、爱德万测试官网，东吴证券研究所

3.5 存储测试机国产化率极低，市场长期被海外厂商垄断

- 存储测试机是半导体测试设备中技术壁垒最高的细分领域之一，市场长期由海外厂商主导。从全球竞争格局来看，爱德万和泰瑞达凭借长期技术积累和头部客户绑定，占据绝大部分市场份额。其中爱德万在存储测试机领域优势尤为突出，2025年其全球存储测试机市场份额达到61%，泰瑞达约为24%，其他厂商份额相对分散，尚未形成能够挑战双寡头格局的竞争者。
- 从国产化进程来看，存储测试机也是国产替代推进最慢的测试设备品类之一。与分立器件测试机、模拟测试机等领域相比，存储测试机对高并行测试能力、系统稳定性及客户验证周期要求更高，因此长期被海外厂商垄断。目前国内厂商已在功率器件测试机、模拟测试机等领域实现较高国产化率，而存储测试机国产化率仍处于较低水平，显著低于其他测试设备细分赛道，成为国内半导体测试设备自主可控的重要短板。

◆ 图：爱德万与泰瑞达占据全球存储测试机主导地位，2025年合计份额约85%



◆ 图：存储测试机当前国产化率较低

细分领域	2025年国产化率	国内代表厂商
模拟/数模混合测试机	>85%	华峰测控、长川科技、联动科技
分立器件测试机	>90%	联动科技、华峰测控、长川科技
SoC测试机	5%	长川科技、华峰测控（布局中）、悦芯科技
存储测试机	8-10%	长川科技、精智达、悦芯科技、联讯仪器（布局中）

3.5 地缘环境变化有望带动测试机国产替代加速

- **中日关系边际趋紧，半导体设备国产替代逻辑强化。**在地缘政治环境复杂化背景下，中日产业链协同存在不确定性。日本企业在部分半导体关键设备环节全球市占率较高，若供应扰动或出口政策收紧，国内设备厂商有望受益于国产替代加速。日本设备企业主要集中在测试机（Advantest）、涂胶显影设备（TEL、SCREEN）、切磨抛设备（DISCO）、清洗设备（SCREEN、TEL）、量检测设备（Lasertec、Hitachi）等环节。
- **国产替代空间测算：测试机与涂胶显影弹性最大。**按照2025年国内市场空间测算，在2025年日系厂商国内市占率假设下，测试机、涂胶显影、清洗、切磨抛及量检测等日本企业优势环节去日化市场空间合计约380亿元。其中，涂胶显影设备替代空间最大，约124亿元，主要因日系厂商市占率高达95%；测试机替代空间约108亿元，为第二大替代方向。其余环节中，清洗设备与量检测设备替代空间分别约60/50亿元，切磨抛设备约23亿元，分选机约18亿元。

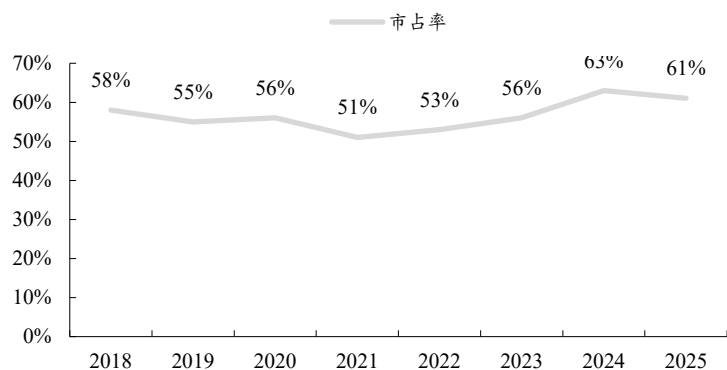
◆表：半导体设备去日化相关标的整理

设备种类	日本公司	2025年日本公司国内市占率	国内对标公司	2025年国内设备市场规模（亿元）	2025年去日化市场空间（亿元）
测试机（ATE）	Advantest	60%	长川科技、华峰测控等	180	108
涂胶显影设备（Track）	Tokyo Electron（TEL）、SCREEN	95%	芯源微	130	124
量检测设备（Metrology/Inspection）	Lasertec、Hitachi	15%	中科飞测、精测电子、新凯来、天准科技	330	50
清洗设备（Wet clean）	SCREEN、TEL	30%	盛美上海（ACM）、北方华创、芯源微、至纯科技	200	60
切磨抛设备（Dicing/Grind/Polish等）	DISCO	50%	迈为股份、光力科技	45	23
分选机	Advantest	20%	长川科技、金海通	90	18

3.5 爱德万成长启示：客户绑定与平台迭代构筑测试机壁垒

- **爱德万伴随全球存储产业迁移持续绑定头部客户。**从日本DRAM时代的NEC、东芝、日立，到韩国存储龙头三星、SK海力士，再到美光，爱德万长期深度参与存储器产品研发、测试方案制定及量产导入过程。存储测试机具有较强的平台属性，新一代产品往往基于既有平台持续升级迭代。随着DDR、LPDDR及HBM不断演进，爱德万依托长期服务头部客户积累的大量测试数据、失效分析经验和应用Know-how，持续参与新产品测试方案开发，形成“客户协同开发—平台持续迭代—客户粘性增强”的正向循环，领先优势不断强化。
- **国产设备商有望伴随国内存储产业崛起复制爱德万成长路径，实现存储测试机国产替代。**存储测试机行业的核心壁垒不仅来自设备性能，更来自长期积累的测试数据、失效分析经验及客户验证能力。过去全球存储市场主要由海外厂商主导，国产设备商缺乏足够的验证场景和数据积累机会。随着国内存储厂持续扩产，以及DDR5、HBM等高端产品加速迭代，国产设备商有望更深度参与客户研发、验证及量产全过程，在产品迭代和良率爬坡过程中持续积累数据与经验，逐步建立自身的平台和技术壁垒，最终实现存储测试机国产替代。

◆ 图：爱德万2018年依赖维持50%以上市场份额，并在HBM时代（2025年）进一步提升至61%



◆ 图：爱德万持续绑定全球存储产业头部客户

阶段	客户	关键事件	对竞争格局的影响
日本DRAM时代	NEC、东芝、日立	伴随日本DRAM产业崛起参与多代DRAM测试开发	建立存储测试核心技术能力
韩国DRAM时代	三星、海力士	T55平台导入韩国存储龙头产线	获取全球最大存储客户资源
DDR/3D NAND时代	三星、海力士、美光	平台持续支持DDR与3D NAND迭代	客户验证体系逐步固化
HBM时代	海力士、三星、美光	参与HBM测试标准与方案开发	龙头优势进一步强化并向HBM延伸



■ 一、存储持续涨价&两存上市在即，看好存储未来扩产持续性

■ 二、AI算力催生HBM芯片需求，多采用堆叠技术提升容量和带宽

■ 三、HBM堆叠对测试机提出KGSD等新需求，国产测试机厂商迎来黄金机遇期

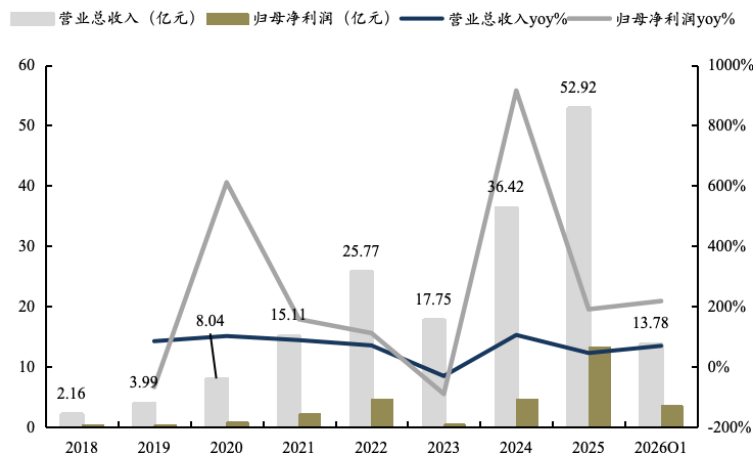
■ 四、投资建议

■ 五、风险提示

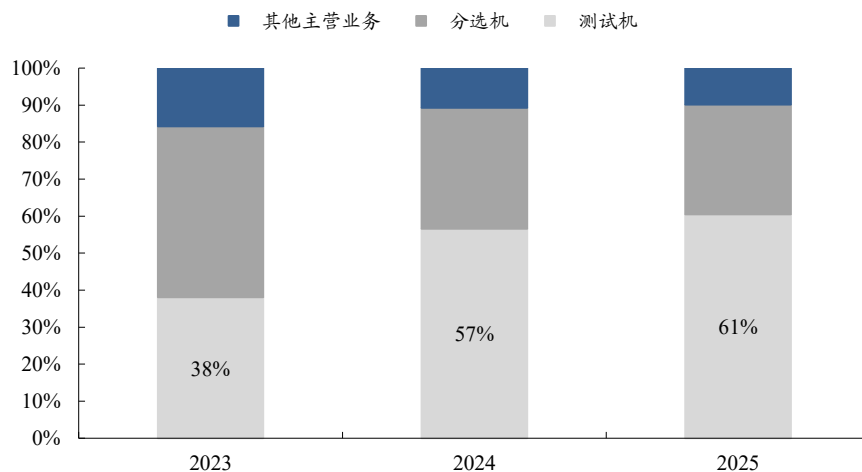
4.1 长川科技：SoC+存储测试机国内领先

- 长川科技在测试机业务快速放量的核心驱动下，业绩实现跨越式增长：公司营业收入由2023年的17.75亿元大幅回升至2024年的36.42亿元，并进一步增长至2025年的52.92亿元，2026年一季度延续高增势头实现营收13.78亿元，同期归母净利润在2025年达到13.78亿元，盈利水平显著修复；从收入结构看，测试机业务占比逐年攀升，由2023年的38%提升至2024年的57%，并进一步增长至2025年的61%，已超越分选机成为公司第一大收入来源，测试机业务的持续放量是拉动公司业绩高速增长的核心引擎。

◆ 图：测试机放量拉动公司业绩高增








◆ 图：长川科技营业收入中测试机占比逐年提升



4.2 精智达：存储测试设备全品类布局，业务进入放量期

- **存储测试产品布局全面，初步形成全站点服务能力。** 精智达是国内少数实现半导体存储器测试设备全品类布局的厂商，产品矩阵覆盖晶圆测试、老化修复、封装测试（FT）及探针卡等核心环节。其中，晶圆测试机可满足DRAM晶圆封装前功能与电学参数测试及缺陷修复需求；老化测试及修复设备实现对封装后芯片颗粒的高低温大电流老化测试与缺陷修复；9Gbps高速FT测试机已交付客户，18Gbps机型稳步推进。
- **客户深度绑定，2025年存储业务放量高增。** 公司深度绑定国内头部半导体存储厂商，老化修复设备、治具板及探针卡已成为核心客户主力供应商，2025年9月首台9Gbps高速FT测试机向国内重点客户成功交付。2025年半导体存储器件测试业务实现收入6.25亿元，同比增长150.39%，营收规模首次超过AMOLED检测设备业务，成为公司第一大业务。

◆ 表：精智达存储测试产品布局

产品分类	主要产品名称	产品简介	产品图示
存储器晶圆测试设备	晶圆测试机	针对DRAM晶圆在封装前的功能指标测试、电学参数测试及缺陷修复需求，提供专用的晶圆测试设备解决方案	
	MEMS探针卡	主要用于晶圆测试时实现测试机与被测芯片的电气联接，通过传输信号对芯片参数进行测试	
存储器老化测试及修复设备	老化测试及修复设备	对封装后的芯片颗粒进行高低温与大电流环境下的老化测试，在测试中对颗粒内部缺陷进行修复	
	老化测试及修复治具板	主要用于连接封装后DRAM芯片和老化测试BI设备，是老化测试及修复设备中重要的部件	
存储器封装测试设备	DRAM FT测试机	对封装后的DRAM颗粒进行功能与高速接口与功能测试	
	DRAM通用测试验证系统(UDS)	面向DRAM设计及制造企业研发的紧凑型便携式可移动测试系统	

4.3 联讯仪器：存储测试机是公司重点募投项目之一，未来成长可期

- 存储测试设备研发是公司此次重点募投项目之一，研发内容包括DRAM测试机、HBM芯片KGD分选测试设备和高速存储芯片测试系统。此次公开发行人募集资金用途规划中，公司提出了为期三年的存储测试设备的研发项目，旨在以公司半导体测试设备技术基础为依托，自主研发推出DRAM测试机等产品，填补国内高速存储测试机的空白，满足下游存储器厂商测试需求，预计于项目第三年Q3结束流片试产。该项目建设完成后预计将实现年产并出货产高速存储芯片测试系统75台、HBM芯片KGD分选测试系统50台等。
- HBM芯片KGD分选测试设备和高速存储芯片测试系统进展顺利。（1）HBM芯片KGD分选测试设备：公司于2024年启动了对HBM芯片KGD分选测试系统的研发工作，截至2025年底公司已完成样机开发并与国内头部半导体厂商签订Demo订单；（2）高速存储芯片测试系统：ATE测试系存储芯片FT测试的重要环节之一，成功将在通信测试仪器领域的高速信号处理方面长期积累的“高带宽高速率传输并行编解码和同步技术”等核心技术复用至存储芯片测试设备，基于自研ASIC芯片的高速存储芯片测试系统最高可实现14.5Gbps信号输出与校准（Advanstest最高水平18Gbps），Demo机台正在送样验证中。

◆ 图：公司存储测试机项目实施进度安排

项目	T1				T2				T3			
	Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4
前期准备												
设备采购												
人员招聘及培训												
项目持续研发												
流片试产												

注：蓝色区域表示对应时间内将推进相关安排

4.4 悦芯科技（未上市）：已批量交付国内DRAM芯片ATE测试设备

- 悦芯科技专注于ATE（集成电路自动化生产测试设备）的研发、生产、销售和服务，是国内率先实现同时覆盖存储器芯片、系统级芯片及功率半导体三大关键市场的企业。TM8000测试系统作为国产首台套高端存储芯片测试系统，支持LPDDR/DDR4/DDR5全系列DRAM全参数测试，最高10240数字通道、3072 DUT并行量产，可灵活配置1-3072 site。
- 已获龙头客户大批订单，收入增长迅速。公司各系列设备市场累计服务逾200家国内外客户。其中高性能存储器芯片自动化生产测试系统TM8000用于DRAM量产测试，已成功大批量交付。

◆ 表：悦芯科技存储测试产品布局

产品分类	主要产品名称	产品简介	产品图示	
SoC芯片测试系统	T800主机	用于SoC芯片的工程开发验证及量产测试环节，可满足客户多种测试应用场景对测试设备的需求。		
	T800测试模块			
DRAM存储器芯片测试系统	TM8000主机	面向DDR/LPDDR的高端测试平台，精准测试DRAM并提升良率。支持全场景应用，兼具大电流与集群测试优势。		
	TM8000测试模块			
功率半导体测试系统	TP2500S静态测试系统	支持IGBT、MOSFET/SidPM、PIM等功率器件的测试。实现功率半导体器件动态参数测试以及配套门极驱动器匹配测试。		
	TP2500D动态测试系统			



- 一、存储持续涨价&两存上市在即，看好存储未来扩产持续性

- 二、AI算力催生HBM芯片需求，多采用堆叠技术提升容量和带宽

- 三、HBM堆叠对测试机提出KGSD等新需求，国产测试机厂商迎来黄金机遇期

- 四、投资建议

- 五、风险提示

- 1、封测设备需求不及预期：**封装测试企业及晶圆厂的资本开支，决定封装设备的市场需求。2026年及以后全球半导体市场景气度存在不确定性，可能导致封装设备需求不及预期，拖累相关公司业绩。
- 2、技术研发不及预期：**半导体封测设备存在较高的技术和验证壁垒，需要下游封测厂商与晶圆厂密切配合，新产品的研发进度存在不确定性；若研发验证或客户导入进度慢，可能会对相关公司的业绩造成不利影响。
- 3、行业竞争加剧：**有多家国内企业从事设备的研发与生产工作，若行业竞争加剧，设备的毛利率水平可能下滑，影响企业盈利能力。

东吴证券股份有限公司经中国证券监督管理委员会批准，已具备证券投资咨询业务资格。

本研究报告仅供东吴证券股份有限公司（以下简称“本公司”）的客户使用。本公司不会因接收人收到本报告而视其为客户。在任何情况下，本报告中的信息或所表述的意见并不构成对任何人的投资建议，本公司及作者不对任何人因使用本报告中的内容所导致的任何后果负任何责任。任何形式的分享证券投资收益或者分担证券投资损失的书面或口头承诺均为无效。

在法律许可的情况下，东吴证券及其所属关联机构可能会持有报告中提到的公司所发行的证券并进行交易，还可能为这些公司提供投资银行服务或其他服务。

市场有风险，投资需谨慎。本报告是基于本公司分析师认为可靠且已公开的信息，本公司力求但不保证这些信息的准确性和完整性，也不保证文中观点或陈述不会发生任何变更，在不同时期，本公司可发出与本报告所载资料、意见及推测不一致的报告。

本报告的版权归本公司所有，未经书面许可，任何机构和个人不得以任何形式翻版、复制和发布。经授权刊载、转发本报告或者摘要的，应当注明出处为东吴证券研究所，并注明本报告发布人和发布日期，提示使用本报告的风险，且不得对本报告进行有悖原意的引用、删节和修改。未经授权或未按要求刊载、转发本报告的，应当承担相应的法律责任。本公司将保留向其追究法律责任的权利。

东吴证券投资评级标准

资评级基于分析师对报告发布日后6至12个月内行业或公司回报潜力相对基准表现的预期（A股市场基准为沪深300指数，香港市场基准为恒生指数，美国市场基准为标普500指数，新三板基准指数为三板成指（针对协议转让标的）或三板做市指数（针对做市转让标的），北交所基准指数为北证50指数），具体如下：

公司投资评级：

买入：预期未来6个月个股涨跌幅相对基准在15%以上；

增持：预期未来6个月个股涨跌幅相对基准介于5%与15%之间；

中性：预期未来6个月个股涨跌幅相对基准介于-5%与5%之间；

减持：预期未来6个月个股涨跌幅相对基准介于-15%与-5%之间；

卖出：预期未来6个月个股涨跌幅相对基准在-15%以下。

行业投资评级：

增持：预期未来6个月内，行业指数相对强于基准5%以上；

中性：预期未来6个月内，行业指数相对基准-5%与5%；

减持：预期未来6个月内，行业指数相对弱于基准5%以上。

我们在此提醒您，不同证券研究机构采用不同的评级术语及评级标准。我们采用的是相对评级体系，表示投资的相对比重建议。投资者买入或者卖出证券的决定应当充分考虑自身特定状况，如具体投资目的、财务状况以及特定需求等，并完整理解和使用本报告内容，不应视本报告为做出投资决策的唯一因素。

东吴证券研究所
苏州工业园区星阳街5号
邮政编码：215021

传真：（0512）62938527

公司网址：<http://www.dwzq.com.cn>

东吴证券 财富家园